

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

8.1 ОБЗОР

В процессорах ADSP-21msp58 и ADSP-21msp59 имеется аналоговый интерфейс, включающий сигма-дельта АЦП разрядностью 16 бит, сигма-дельта ЦАП разрядностью 16 бит и набор отображенных в карте памяти регистров управления и регистров данных. Аналоговый интерфейс имеет следующие характеристики:

- 16-разрядное сигма-дельта АЦП с линейным кодом
- 16-разрядный сигма-дельта ЦАП с линейным кодом
- встроенные фильтры для устранения наложения спектров и интерполяции
- частота выборки 8 кГц
- программируемый коэффициент усиления для АЦП и ЦАП
- встроенный источник опорного напряжения

Аналоговый интерфейс обеспечивает поступление аналоговых сигналов на вход цифрового сигнального процессора для работы в звуковом диапазоне частот. АЦП и ЦАП работают с фиксированной частотой выборки в 8 кГц. Внутренние цифровые фильтры, 16-разрядные сигма-дельта преобразователи и усилители с программируемым коэффициентом усиления обеспечивают в итоге комплексное решение всех проблем, связанных с обработкой аналоговых сигналов в звуковом диапазоне частот. Технология сигма-дельта преобразования исключает необходимость во внешних фильтрах, ограничивающих спектр входного сигнала, и в схеме выборки и хранения.

Устройство аналогового интерфейса процессоров ADSP-21msp58 и ADSP-21msp59 совершенно идентично; они отличаются только объемом внутренней памяти. См. рабочие характеристики аналогового интерфейса каждого из этих процессоров в техническом описании *"ADSP-21msp58/59 Data Sheet"*.

Аналоговый интерфейс ADSP-21msp58/59 управляется при помощи отображенных в карте памяти регистров управления и данных. Ввод/вывод АЦП и ЦАП может передаваться и приниматься через отдельные, отображенные в карте памяти регистры, или же данные могут непосредственно передаваться с использованием автобуферизации в память данных процессора. Операция автобуферизации аналогична автобуферизации, о которой было рассказано в главе 5. Два прерывания ADSP-21msp58/59 предназначены для АЦП и ЦАП. Одно прерывание используется для АЦП, а другое - для ЦАП. Прерывания генерируются с частотой выборки или по окончании передачи при автобуферизации.

На рис. 8.1 показана блок-схема аналогового интерфейса, а в табл. 8.1 представлено описание его выводов.

8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

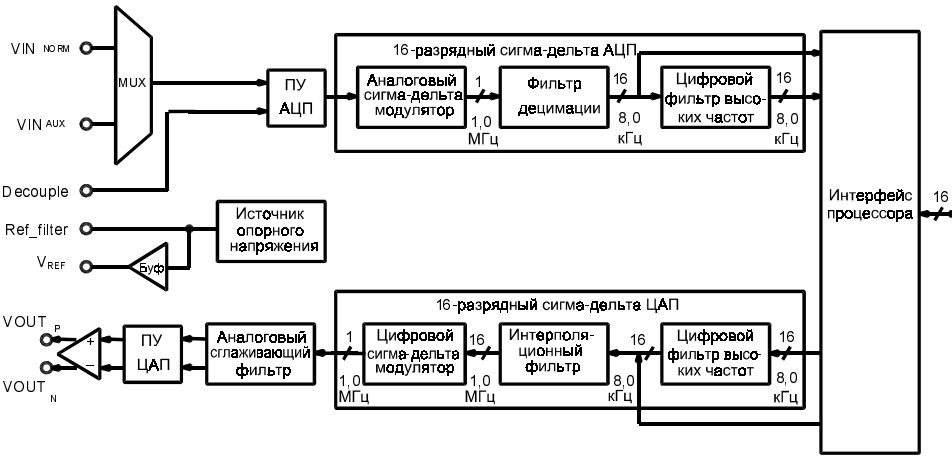


Рис. 8.1 Блок-схема аналогового интерфейса (ADSP-21msp58/59)

Таблица 8.1

Описание выводов аналогового интерфейса

Имя вывода	Ввод/вывод	Назначение
VIN _{NORM}	Ввод	Вход канала NORM АЦП
VIN _{AUX}	Ввод	Вход канала AUX АЦП
Decouple	Ввод	Опорная "земля" каналов NORM и AUX АЦП
VOUT _P	Вывод	Аналоговый прямой выход дифференциального усилителя ЦАП
VOUT _N	Вывод	Аналоговых инверсный выход дифференциального усилителя ЦАП
V _{REF}	Вывод	Выход внутреннего источника опорного напряжения (2,5 В ± 10%)
Ref _{filter}	Вывод	Выход опорного напряжения для внешнего полосового фильтра
V _{CC}	-	Напряжение питания +5 В
GND _A	-	Аналоговая земля

8.2 АНАЛОГО-ЦИФРОВОЕ ПРЕОБРАЗОВАНИЕ

Схема аналого-цифрового преобразования в аналоговом интерфейсе процессора ADSP-21msp58/59 включает входной мультиплексор, аналоговый входной

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

усилитель с программируемым коэффициентом усиления (ПУ) и сигма-дельта аналого-цифровой преобразователь (АЦП).

8.2.1 Входной аналоговый усилитель

На входной аналоговый усилитель от внутреннего источника опорного напряжения подается напряжение смещения, что позволяет ADSP-21msp58/59 работать при одном напряжении питания в +5 В. Аналоговые входы должны быть соединены по переменному току.

Аналоговый мультиплексор выбирает один из входов: NORM или AUX. Конфигурация входного мультиплексора задается битом 1 (IMS) в регистре управления аналоговым интерфейсом ADSP-21msp58/59 (который отображен в карте памяти данных по адресу 0x3FEE). Установка мультиплексора не должна меняться во время обработки входного сигнала.

ПУ АЦП может использоваться для увеличения уровня сигнала на +6 дБ, +20 дБ или +26 дБ. Конфигурация ПУ АЦП задается битами 9 и 0 (IG1, IG0) в регистре управления аналоговым интерфейсом. Уровень входного сигнала, поступающего на сигма-дельта модулятор, не должен превышать величины V_{INMAX} , указанной в техническом описании ADSP-21msp58/ADSP-21msp59. См. раздел "Вход аналогового сигнала" и "Проектирование схемы аналогового интерфейса" в данной главе.

Уровень входного сигнала, поступающего на АЦП, может быть смещен таким образом, чтобы удалить тоновый сигнал АЦП из полосы частот шириной в 4 кГц. Такой режим устанавливается битом 10 в регистре управления аналоговым интерфейсом. Добавленное смещение должно быть потом удалено фильтром высоких частот АЦП; следовательно, в случае смещения уровня входного сигнала тот обязательно должен затем подаваться на фильтр высоких частот.

8.2.2 АЦП

АЦП аналогового интерфейса состоит из аналогового сигма-дельта модулятора четвертого порядка, фильтра децимации и цифрового фильтра высоких частот. Сигма-дельта модулятор производит 1-битовые выборки с частотой 1,0 МГц. Этот поток бит, соответствующий аналоговому сигналу, направляется на фильтр децимации.

8.2.2.1 Фильтр децимации

Цифровой фильтр децимации, входящий в АЦП, состоит из двух частей. Первая представляет собой цифровой фильтр sinc^4 , увеличивающий разрешение

8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

до 16 бит и уменьшающий скорость выборки до 40 кГц. Вторую часть образует БИХ фильтр низких частот.

БИХ фильтр низких частот представляет собой эллиптический фильтр 10-го порядка с граничной полосой пропускания 3,7 кГц. Этот фильтр имеет следующие технические характеристики:

Тип фильтра:	эллиптический БИХ фильтр низких частот 10-го порядка
Частота выборки:	40,0 кГц
Частота среза полосы пропускания*:	3,7 кГц
Неравномерность в полосе пропускания:	$\pm 0,2$ дБ
Частота среза полосы задержания:	4,0 кГц
Минимальный уровень подавления в полосе задержания:	-65,00 дБ

* Частота среза полосы пропускания определяется как последняя точка полосы пропускания, соответствующая заданной неравномерности в полосе пропускания.

(Обратите внимание, что приведенные выше технические параметры относятся только к данному фильтру, а не ко всему АЦП. Эти параметры могут использоваться для выполнения последующего анализа точных рабочих характеристик фильтра, например, при использовании программного пакета для проектирования цифрового фильтра.)

На рис. 8.2. показана частотная характеристика БИХ фильтра низких частот.

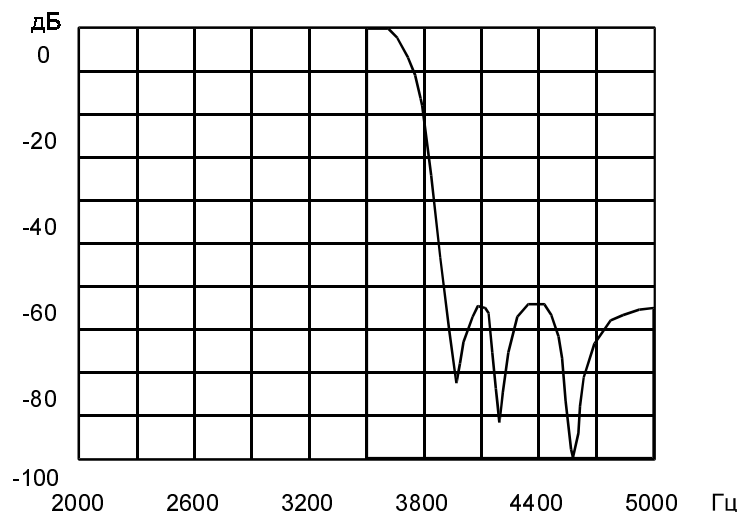


Рис. 8.2 Частотная характеристика БИХ фильтра низких частот

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

8.2.2.2 Фильтр высоких частот

Входящий в АЦП цифровой фильтр высоких частот вырезает низкочастотные компоненты спектра; он ослабляет энергию сигнала ниже полосы пропускания преобразователя. Фильтр высоких частот АЦП может быть блокирован за счет установки бита 7 (ADBY) в регистре управления аналоговым интерфейсом ADSP-21msp58/59.

Фильтр высоких частот представляет собой эллиптический фильтр 4-го порядка с частотой среза полосы пропускания 150 Гц. Затухание в полосе задержания составляет 25 дБ. Этот фильтр имеет следующие технические параметры:

Тип фильтра:	эллиптический БИХ фильтр высоких частот 4-го порядка
Частота выборки:	8,0 кГц
Частота среза полосы пропускания:	150,0 Гц
Неравномерность в полосе пропускания:	$\pm 0,2$ дБ
Частота среза в полосе задержания:	100,0 Гц
Минимальный уровень подавления в полосе задержания:	-25,00 дБ

(Обратите внимание, что приведенные выше параметры относятся только к данному фильтру, а не ко всему АЦП. Эти параметры могут использоваться для выполнения последующего анализа реальных характеристик фильтра, например, при использовании программного пакета для проектирования цифрового фильтра.)

На рис. 8.3 показана частотная характеристика фильтра высоких частот.

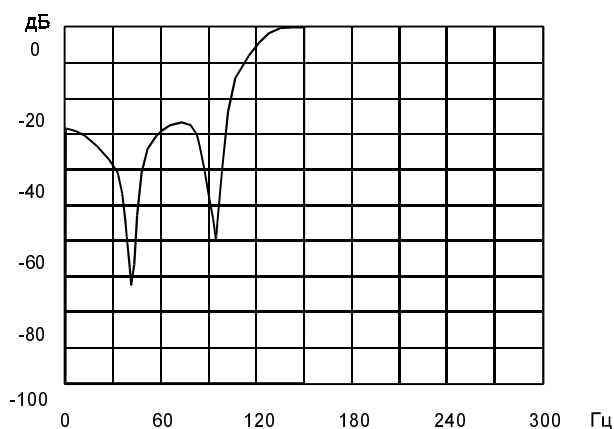


Рис. 8.3. Частотная характеристика фильтра высоких частот

8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

8.3 ЦИФРО-АНАЛОГОВОЕ ПРЕОБРАЗОВАНИЕ

Аналоговый интерфейс процессора ADSP-21msp58/59 включает сигма-дельта цифро-аналоговый преобразователь (ЦАП), аналоговый сглаживающий фильтр, усилитель с программируемым коэффициентом усиления и дифференциальный выходной усилитель.

8.3.1 ЦАП

В ЦАП аналогового интерфейса входят цифровые фильтры и сигма-дельта модулятор с теми же характеристиками, что и у фильтров и модулятора АЦП. ЦАП состоит из цифрового фильтра высоких частот, интерполяционного фильтра, увеличивающего частоту дискретизации сигнала, и цифрового сигма-дельта модулятора.

ЦАП получает значения данных разрядностью в 16 бит из регистра передачи данных ЦАП ADSP-21msp58/59 (который отображен в карте памяти данных по адресу 0x3FEC). Поток данных фильтруется сначала входящим в ЦАП цифровым фильтром высоких частот, затем интерполяционным фильтром. Эти фильтры имеют те же частотные характеристики, что и цифровые фильтры высоких частот и децимации в АЦП.

Выходной сигнал с интерполяционного фильтра направляется на цифровой сигма-дельта модулятор ЦАП, который преобразует 16-битовые данные в выборки по 1 биту с частотой 1,0 МГц.

Выходной поток бит сигма-дельта модулятора направляется на аналоговый сглаживающий фильтр ЦАП, где преобразуется в аналоговый сигнал.

8.3.1.1 Фильтр высоких частот

Входящий в ЦАП цифровой фильтр высоких частот имеет те же частотные характеристики, что и цифровой фильтр высоких частот АЦП. Фильтр высоких частот вырезает низкочастотные компоненты спектра и ослабляет энергию сигнала ниже полосы пропускания преобразователя. Фильтр высоких частот ЦАП может блокироваться путем установки бита 8 (DABY) в регистре управления аналоговым интерфейсом ADSP-21msp58/59.

Фильтр высоких частот представляет собой эллиптический фильтр 4-го порядка с частотой среза полосы пропускания 150 Гц и затуханием в полосе задерживания 25 дБ. Этот фильтр имеет следующие технические параметры:

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

Тип фильтра:	Эллиптический БИХ фильтр высоких частот 4-го порядка
Частота выборки:	8,0 кГц
Частота среза полосы пропускания:	150,0 Гц
Неравномерность в полосе пропускания:	$\pm 0,2$ дБ
Частота среза в полосе задержания:	100,0 Гц
Минимальный уровень подавления в полосе задержания:	-25,00 дБ

(Обратите внимание, что приведенные выше параметры относятся только к данному фильтру, а не ко всему ЦАП. Эти параметры могут использоваться для выполнения последующего анализа реальных характеристик фильтра, например, при использовании программного пакета для проектирования цифрового фильтра.)

Частотная характеристика фильтра высоких частот показана на рис. 8.3.

8.3.1.2 Интерполяционный фильтр

Входящий в ЦАП интерполяционный фильтр состоит из двух частей. Первой его частью является БИХ фильтр низких частот, который интерполирует скорость передачи данных с 8 кГц до 40 кГц. Выходной сигнал с этой части фильтра снова интерполируется до 1,0 МГц во второй части, представляющей собой цифровой фильтр sinc^4 .

БИХ фильтр низких частот представляет собой эллиптический фильтр 10-го порядка с граничной полосой пропускания 3,70 кГц и затуханием в полосе задерживания 65 дБ при 4 кГц. Этот фильтр имеет следующие технические характеристики:

Тип фильтра:	Эллиптический БИХ фильтр низких частот 10-го порядка
Частота выборки:	40,0 кГц
Частота среза полосы пропускания*:	3,70 кГц
Неравномерность в полосе пропускания:	$\pm 0,2$ дБ
Частота среза в полосе задержания:	4,0 кГц
Минимальный уровень подавления в полосе задержания:	-65,00 дБ

* Частота среза полосы пропускания определяется как последняя точка полосы пропускания, соответствующая заданной неравномерности в полосе пропускания.

(Обратите внимание, что приведенные выше параметры относятся только к данному фильтру, а не к всему ЦАП. Эти параметры могут использоваться для выполнения последующего анализа реальных характеристик фильтра, например,

8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

при использовании программного пакета для проектирования цифрового фильтра).

Частотная характеристика фильтра низких частот показана на рис. 8.2.

Неравномерность в полосе пропускания от 300 до 3400 Гц цифровых фильтров ЦАП (т.е. фильтра высоких частот и интерполяционного БИХ фильтра низких частот) составляет $\pm 0,2$ дБ.

8.3.1.3 Аналоговый сглаживающий фильтр и усилитель с программируемым коэффициентом усиления

Входящий в ЦАП усилитель с программируемым коэффициентом усиления (ПУ) может использоваться для настройки уровня выходного сигнала с -15 дБ до +6 дБ. Коэффициент усиления задается при установке бит 2-4 (OG0, OG1, OG2) в регистре управления аналоговым интерфейсом ADSP-21msp58/59.

Аналоговый сглаживающий фильтр ЦАП состоит из аналогового фильтра второго порядка и фильтра с коммутируемыми конденсаторами третьего порядка. Частотная характеристика аналогового фильтра имеет точку 3 дБ при приблизительно 25 кГц.

8.3.2 Дифференциальный выходной усилитель

Дифференциальный усилитель формирует выходной аналоговый сигнал ADSP-21msp58/59 (V_{OUT_P} - V_{OUT_N}). Дифференциальный усилитель может работать с нагрузками, превышающими 2 кОм ($R_H \geq 2$ кОм), но может управлять и малыми нагрузками (как 50 Ом) с ухудшением параметров. Дифференциальный усилитель имеет максимальный размах выходного напряжения $\pm 3,156$ В. Выходной сигнал смещен по постоянному току на величину внутреннего опорного напряжения (V_{REF}) и может быть соединен по переменному току непосредственно с нагрузкой или по постоянному току с внешним усилителем. См. разделы "Выход аналогового сигнала" и "Проектирование схемы аналогового интерфейса" в данной главе.

Выводы V_{OUT_P} - V_{OUT_N} должны использоваться в качестве дифференциального выхода; ни один из этих выводов не должен использоваться как однополярный.

8.4 УПРАВЛЕНИЕ АНАЛОГОВЫМ ИНТЕРФЕЙСОМ

Управление аналоговым интерфейсом ADSP-21msp58/59 осуществляется с использованием нескольких отображенных в карте памяти данных регистров управления. Входные/выходные данные АЦП и ЦАП могут передаваться и приниматься из двух отображенных в карте памяти регистров данных. Данные из

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

этих регистров данных могут также автоматически передаваться при использовании автобуферизации в (или из) внутреннюю память. В обоих случаях обработка ввода/вывода управляется при помощи прерываний: для аналогового интерфейса назначены два прерывания ADSP-21msp58/59, одно - для приема данных через АЦП, другое - для передачи данных в ЦАП.

Примечание: автобуферизация SPORT1 неосуществима на процессоре ADSP-21msp5х, так как данный канал автобуферизации используется для аналогового интерфейса.

Входная тактовая частота процессора ADSP-21msp58/59 должна равняться 13 МГц. При такой частоте преобразованные из аналогового в цифровой (и наоборот) вид данные передаются с частотой 8 кГц (каждые 125 мс передается одно слово длиной 16 бит).

8.4.1 Регистры управления, отображенные в карте памяти

Для описания конфигурации аналогового интерфейса ADSP-21msp58/59 используются два отображенных в карте памяти регистра управления: регистр управления аналоговым интерфейсом и регистр автобуферизации/пониженного напряжения питания.

8.4.1.1 Регистр управления аналоговым интерфейсом

Регистр управления аналоговым интерфейсом (расположенный в памяти данных по адресу 0x3FEE) показан на рис. 8.4. Этот регистр задает конфигурацию входного мультиплексора АЦП, предусилителя с усилением 20 дБ АЦП, фильтра высоких частот АЦП, фильтра высоких частот ЦАП и коэффициент усиления выходного усилителя ЦАП.

Регистр управления аналоговым интерфейсом также содержит биты APWD (биты 5, 6), которые должны быть установлены равными единице для активизации и начала работы аналогового интерфейса. После установки этих бит ЦАП и АЦП начинают передавать данные. При сбросе битов APWD весь аналоговый интерфейс блокируется, находясь в состоянии пониженной мощности. Биты APWD должны сбрасываться (устанавливаться равными нулям), по крайней мере, за три цикла до вхождения процессора в режим пониженной мощности. См. раздел "Режим пониженной потребляемой мощности" в главе 9, "Интерфейс системы". По сигналу RESET (перезапуск) процессора биты регистра управления аналоговым интерфейсом сбрасываются (становятся равными 0x0000). Обратите внимание, что биты 11 -15 этого регистра являются резервными и должны всегда равняться нулю.

8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

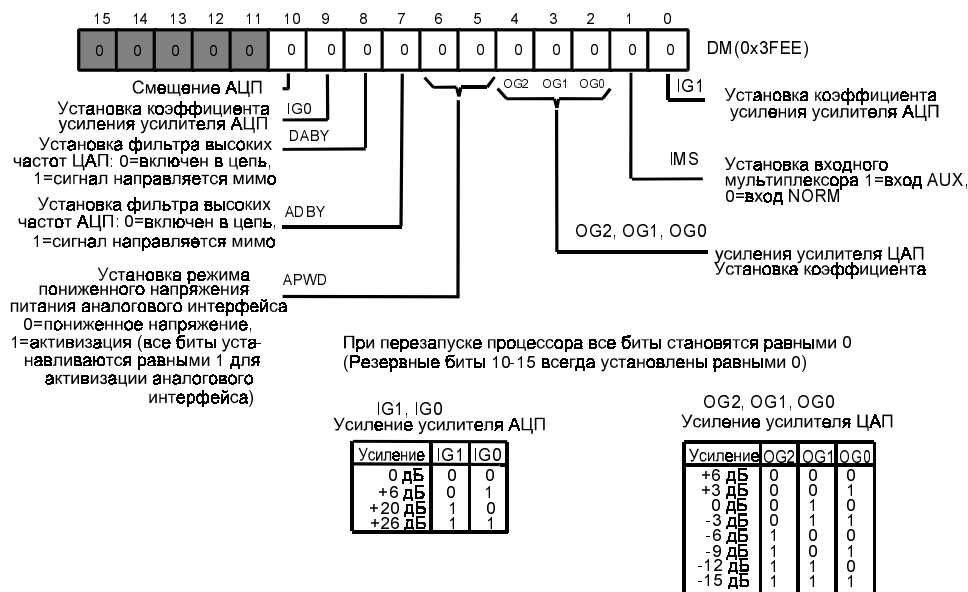


Рис. 8.4 Регистр управления аналоговым интерфейсом

8.4.1.2 Регистр автобуферизации/пониженной мощности

Регистр автобуферизации/пониженной мощности (расположенный в памяти данных по адресу 0x3FEF) показан на рис. 8.5. Этот регистр разрешает или блокирует автобуферизацию данных, принимаемых через АЦП или/и передаваемых с ЦАП. Автобуферизация разрешена, когда в биты ARBUF (бит 0) и/или ATBUF (бит 1) записаны значения единицы. При разрешенной автобуферизации индексные регистры (I) и регистры модификации (M) для буферов приема и/или передачи данных задаются битами 2-11.

Биты 12-15 регистра управления автобуферизацией/пониженной мощностью задают режим пониженной мощности процессора ADSP-21msp58/59, а не аналогового интерфейса - состояние пониженной мощности питания аналогового интерфейса управляется исключительно битами APWD (биты 5, 6) в регистре управления аналогового интерфейса. См. описание режима пониженной мощности процессора ADSP-21msp58/59 в главе 9, "Интерфейс системы".

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

8.4.2 Регистры данных, отображенные в карте памяти

Для аналогового интерфейса назначены два отображенных в карте памяти регистра данных. 16-разрядный регистр приема данных АЦП расположен в памяти данных по адресу 0x3FED. 16-разрядный регистр передачи данных ЦАП расположен в памяти данных по адресу 0x3FEC. Запись и считывание с этих регистров должны производиться отдельно, если не используется автобуферизация (при автобуферизации данные автоматически передаются в память данных процессора и из нее).

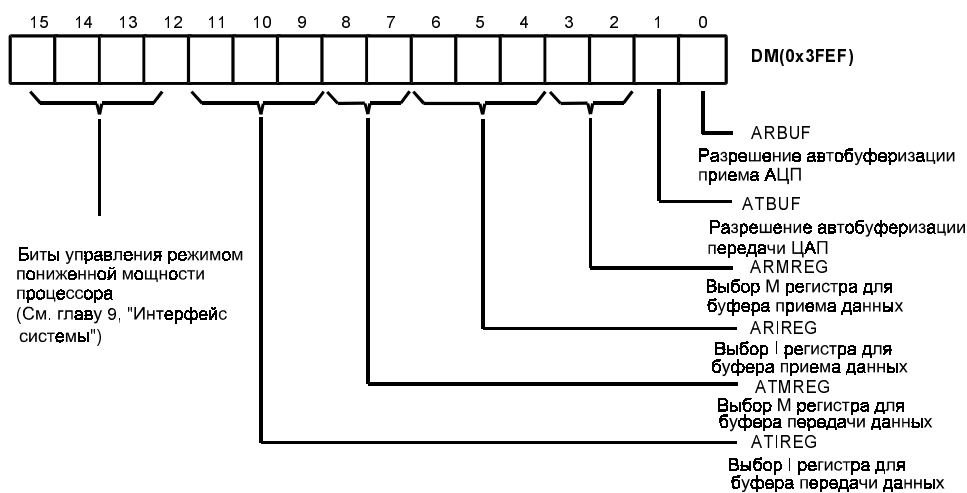


Рис. 8.5 Регистр управления автобуферизацией/пониженной мощностью (Показаны только биты управления автобуферизацией)

При неразрешенной автобуферизации данные должны передаваться на сигма-дельта ЦАП путем записи слова длиной 16 бит в регистр передачи данных ЦАП (0x3FEC) и должны быть получены от сигма-дельта АЦП путем считывания слова длиной 16 бит из регистра приема данных АЦП (0x3FED).

8.4.3 Прерывания АЦП и ЦАП

Аналоговый интерфейс генерирует два прерывания, указывающие: 1) на завершение преобразования 16-битовых данных из аналогового в цифровой вид (или наоборот) с частотой выборки 8 кГц, или 2) на окончание передачи блока данных с использованием автобуферизации (т.е. буфер данных полон или пуст).

8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

При любом из вышеназванных прерываний аналогового интерфейса процессор обращается по вектору к соответствующему адресу:

адрес вектора прерывания передачи ЦАП: 0x18

адрес вектора прерывания приема АЦП: 0x1C.

Эти прерывания могут маскироваться установкой соответствующих бит в регистре процессора IMASK и принудительно устанавливаются или сбрасываются установкой бит в регистре IFC.

8.4.3.1 Автобуферизация не разрешена

Прерывания приема АЦП и передачи ЦАП генерируются с частотой 8 кГц и указывают на то, что при неразрешенной автобуферизации следует получить доступ к регистрам данных. В случае приема данных, прерывание АЦП генерируется каждый раз по завершению цикла преобразования данных из аналогового в цифровой вид, когда 16-битовое слово данных в регистре приема АЦП становится доступным. В случае передачи, прерывание ЦАП генерируется каждый раз по завершению цикла преобразования данных из цифрового в аналоговый вид, когда регистр передачи ЦАП готов для записи в него следующего слова длиной в 16 бит.

Оба прерывания генерируются, при запрещенной автобуферизации, одновременно с частотой 8 кГц каждые 1625 командных циклов при тактовой частоте процессора 13,0 МГц. Прерывания генерируются постоянно, начиная с того момента, когда на аналоговый интерфейс в результате установки единицы в битах APWD (биты 5, 6) регистра управления аналоговым интерфейсом подается напряжение питания. Так как оба прерывания происходят одновременно, нужно разрешить только одно из них в регистре IMASK. Оно обрабатывается подпрограммой обслуживания прерываний, которая управляет как данными приема, так и данными передачи. (При разрешенной автобуферизации оба прерывания должны быть разрешены).

Далее приводится простая программа с возвращением в цикл для аналогового интерфейса.

8.4.3.2 Автобуферизация разрешена

Для решения некоторых конкретных задач более выгодно выполнить передачи блоков данных между аналоговыми преобразователями и памятью процессора. Автобуферизация аналогового интерфейса делает возможными такие автоматические передачи блоков данных от АЦП во внутреннюю память данных процессора или из внутренней памяти данных процессора на ЦАП.

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

```

{ Программа с возвращением в цикл для анало- }
{ гового интерфейса ADSP-21msp58/59 }
{ - задает конфигурацию аналогового интерфейса }
{ - копирует данные приема АЦП в буфер пере- }
{ дачи ЦАП }

MODULE/ABS=0/BOOT=0 talkthru;

#define codec_tx_data 0x3FEC
#define codec_rx_data 0x3FED
#define codec_ctrl_reg 0x3FEE

resetv:      JUMP setup; NOP; NOP; NOP;
irq2v:       RTI; NOP; NOP; NOP;      {вектора прерывания}
hipwv:       RTI; NOP; NOP; NOP;
hiprv:       RTI; NOP; NOP; NOP;
spt0tv:      RTI; NOP; NOP; NOP;
spt0rv:      RTI; NOP; NOP; NOP;
antv:        RTI; NOP; NOP; NOP;
anrv:        SI=DM(codec_rx_data);    {считывание данных с
                                       } {АЦП}
                                       DM(codec_tx_data)=SI; {запись данных в
                                       RTI; NOP;                ЦАП}

irq1v:       RTI; NOP; NOP; NOP;
irq0v:       RTI; NOP; NOP; NOP;
timerv:      RTI; NOP; NOP; NOP;
pwrdownv:    RTI; NOP; NOP; NOP;

setup:       AX1=0x0060;
             DM(codec_ctrl_reg)=      {подача напряжения}
             =AX1;                    {питания на аналого-}
             IMASK=0x8;               {вый интерфейс}
                                       {разрешение преры-}
                                       {вания приема анало-}
                                       {гового интерфейса}
                                       {ожидание
                                       прерывания}

wait_loop:   IDLE;

             JUMP wait_loop;

.ENDMOD;

```

8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

По завершению передачи всего блока данных (т.е. когда буфер данных полон или пуст) генерируется прерывание. Автобуферизация данных аналогового интерфейса осуществляется таким же образом, что и автобуферизация последовательного порта, о которой рассказывалось в главе 5. Обратите внимание, что автобуферизация данных может осуществляться через аналоговые преобразователи или SPORT0 процессора ADSP-21msp58/59. Операция автобуферизации не выполняется для SPORT1 ADSP-21msp58/59.

Перед тем, как разрешить автобуферизацию, следует определить в памяти данных отдельные циклические буферы для приема данных АЦП и передачи данных ЦАП. Это достигается путем выбора индексных (I) регистров и регистров модификации (M) в регистре автобуферизации/пониженной мощности. См. рис. 8.5.

Адрес данных, передаваемых с использованием автобуферизации на ЦАП, находится в регистре I, заданном группой разрядов ATIREG (биты 9, 10, 11). Адрес данных приема АЦП при их автобуферизации определяется регистром I, заданном группой разрядов ARIREG (биты 4, 5, 6). Регистры модификации (M) задаются установкой группы разрядов ARMREG (биты 2, 3) и ATMREG (биты 7, 8). Так как пересылки данных с АЦП и на ЦАП осуществляются одновременно, для автобуферизации приема и передачи можно использовать один и тот же индексный регистр I. В этом случае буфер имеет два функциональных назначения, и определение значения для регистра модификации M требует повышенной осторожности.

Ниже приводится пример программы автобуферизации.

```
{ Программа автобуферизации данных аналогового }
{ интерфейса ADSP-21msp58/59 }
{ - задает конфигурацию аналогового интерфейса }
{ - разрешает автобуферизацию }
{ - принимает аналоговые данные в буфер на 256 }
{ слов }
{ - передает аналоговые данные из буфера на 256 }
{ слов }
.MODULE/RAM/ABS=0/BOOT=0 auto_example;
.VAR/DM/CIRC buff1[256];           {первый буфер данных}

.VAR/DM/CIRC buff2[256];           {второй буфер данных}
.VAR/DM flag_bit;                  {отслеживание буферов}
#define codec_tx_data 0x3FEC
#define codec_rx_data 0x3FED
```

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

```
#define codec_ctrl_data 0x3FEE
#define codec_auto_ctrl 0x3FEF

resetv:      JUMP setup; NOP; NOP; NOP;
irq2v:       RTI; NOP; NOP; NOP;      {вектора прерывания..}
hipwv:       RTI; NOP; NOP; NOP;
hiprv:       RTI; NOP; NOP; NOP;
spt0tv:      RTI; NOP; NOP; NOP;
spt0rv:      RTI; NOP; NOP; NOP;
antv:        RTI; NOP; NOP; NOP;
anrv:        JUMP switch; NOP; NOP; {вызов автобуфериза-}
              NOP;                  {ции}
irq1v:       RTI; NOP; NOP; NOP;
irq0v:       RTI; NOP; NOP; NOP;
timerv:      RTI; NOP; NOP; NOP;
pwrdownv:    RTI; NOP; NOP; NOP;

setup:       IO = ^buff1;             {IO указывает на пер-}
                                              {вый буфер данных}
              L0 = %buff1;
              I1 = ^buff2;             {I1 указывает на вто-}
                                              {рой буфер данных}
              L1 = %buff2;
              M0 = 0x1;
              SI = 0x0;
              DM(flag_bit) = SI;       {инициализация фла-}
                                              {гового регистра}
                                              {I1 и M0 используются}
                                              {для передачи, IO и M0}
                                              {- для приема}
              AY0 = 0x0203;            {активизация буферов}
                                              {rcv и tx}
              DM(codec_auto_ctrl) = AY0;
              AX1 = 0x0060;
              DM(codec_ctrl_reg) = AX1; {подача питания на }
                                              {аналоговый интерфейс}
              IMASK = 0x8;             {разрешение прерывания}
                                              {гх}
```

8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

```
wait:      IDLE;                                {ожидание прерывания}
           JUMP wait;                          {автобуферизации}
switch:    AX0 = DM(flag_bit);
           AR = pass AX0;                      {проверка состояния}
           IF NE JUMP fill_buff2;             {буфера}
fill_buff1: SI = 0x1;                          {заполнить buff2 в}
           AY0 = 0x0013;                      {следующий раз}
           JUMP done;
fill_buff2: SI = 0x0;                          {заполнить buff1 в}
           AY0 = 0x0203;                      {следующий раз}
           JUMP done;
done:      DM(codec_auto_ctrl) = AY0;
           DM(flag_bit) = SI;
           RTI;
.ENDMOD;
```

Автобуферизация приема и передачи может разрешаться независимо одна от другой, так же как и два прерывания могут происходить (и обслуживаться) независимо друг от друга. Это свойство дает возможность использовать при отдельной автобуферизации данных приема и передачи буферы с различной длиной. Это также позволяет односторонне использовать автобуферизацию только для операции приема или передачи, в то время как обслуживать другую операцию с частотой прерываний 8 кГц.

8.5 ПРОЕКТИРОВАНИЕ СХЕМЫ АНАЛОГОВОГО ИНТЕРФЕЙСА

В следующих разделах речь пойдет о сопряжении аналоговых сигналов с процессором ADSP-21msp58/59.

8.5.1 Вход аналогового сигнала

Рекомендуемая схема аналогового входа для аналогового интерфейса ADSP-21msp58/59 (выводы VIN_{NORM} или VIN_{AUX}) показана на рис. 8.6. Эта схема включает фильтр низких частот первого порядка со спадом 3 дБ на 20 кГц; это единственный фильтр, который может использоваться как внешний относительно процессора, чтобы предотвратить наложение спектров дискретизированного сигнала. Так как в сигма-дельта АЦП ADSP-21msp58/59 используется принцип избыточной дискретизации, при которой фильтрация против наложения

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

спектров переносится в цифровую область, то в качестве внешнего фильтра против наложения спектров может использоваться любой фильтр низкого порядка. (См. техническое описание "ADSP-21msp58/59 Data Sheet").

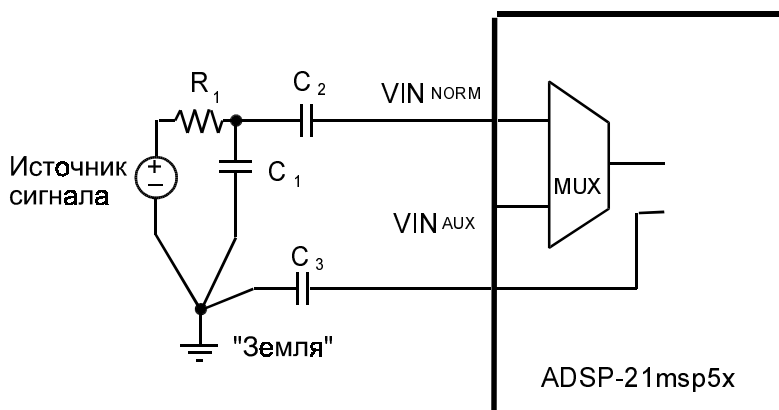


Рис. 8.6 Рекомендуемая схема входной цепи аналогового интерфейса

Встроенный в АЦП ПУ (программируемый усилитель) может использоваться в случаях недостаточного коэффициента усиления во входной цепи. Конфигурация ПУ АЦП задается битами 9 и 0 (IG1, IG0) в регистре управления аналоговым интерфейсом процессора. Коэффициент усиления должен выбираться таким образом, чтобы максимальная величина сигнала на входе сигма-дельта модулятора АЦП (Рис. 8.6) не превышала значения V_{INMAX} , заданного в техническом описании процессора.

V_{INNORM} и V_{INAUX} смещены на величину внутреннего опорного напряжения (номинально 2,5 В) процессора ADSP-21msp58/59, что позволяет подавать питание на аналоговый интерфейс от одного источника. Входной сигнал должен подаваться через развязывающий внешний конденсатор (C_2). Величина C_2 определяется входным сопротивлением процессора ADSP-21msp58/59 (200 кОм) и требуемой частотой среза, которая должна быть меньше или равна 30 Гц. Для определения величин R_1 , C_1 и C_2 следует воспользоваться следующими уравнениями. R_1 должен быть меньше или равен 2,3 кОм. C_2 должен быть больше или равен 0,027 мкФ. C_3 должен равняться C_2 .

$$C_2 = \frac{1}{2\pi f_i R_{IN}}$$

R_{IN} = входное сопротивление ADSP-21msp58/59 (200 кОм)


8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

f_1 = частота среза < 30 Гц.

$$R_1 = \frac{1}{2\pi f_2 C_2}$$

$R_1 \leq 2,2 \text{ кОм}$

$20 \text{ кГц} < f_2 < 40 \text{ кГц}^*$

$C_1 =$ 

C C

* Если требуется минимальный спад частотной характеристики (< 0,1 дБ) на 4 кГц, f_2 должна равняться 40 кГц.

8.5.2 Выход аналогового сигнала

Дифференциальный аналоговый сигнал на выходе ADSP-21msp58/59 ($VOUT_P$, $VOUT_N$) формируется внутренним дифференциальным усилителем. Дифференциальный усилитель может работать с нагрузками, превышающими 2 кОм ($R_H \geq 2 \text{ кОм}$), но может управлять и малыми нагрузками (как 50 Ом) с ухудшением параметров. Дифференциальный усилитель имеет максимальный размах выходного напряжения $\pm 3,156 \text{ В}$ (3,17 дБ). Дифференциальный выходной сигнал может быть соединен с нагрузкой напрямую по переменному току или с внешним усилителем по постоянному току.

На рис. 8.7 представлена простая схема, обеспечивающая дифференциальный выход по переменному току. Конденсатор (C_{OUT}) не является обязательным для данной цепи; но если он используется, его емкость выбирается по формуле:

$C_{OUT} =$ 

Выводы аналогового интерфейса $VOUT_P$ и $VOUT_N$ должны использоваться как дифференциальные выходы; не используйте ни один из них как однополярный. На рис. 8.8 представлена схема, которая может использоваться для

АНАЛОГОВЫЙ ИНТЕРФЕЙС 8

преобразования дифференциального выхода в несимметричный однополярный. В данной схеме используется дифференциальный-однополярный усилитель SSM-2141 производства фирмы Analog Devices.

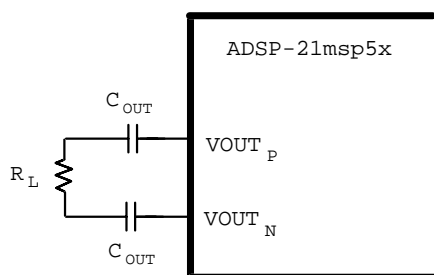


Рис. 8.7 Пример схемы для получения дифференциального выходного сигнала

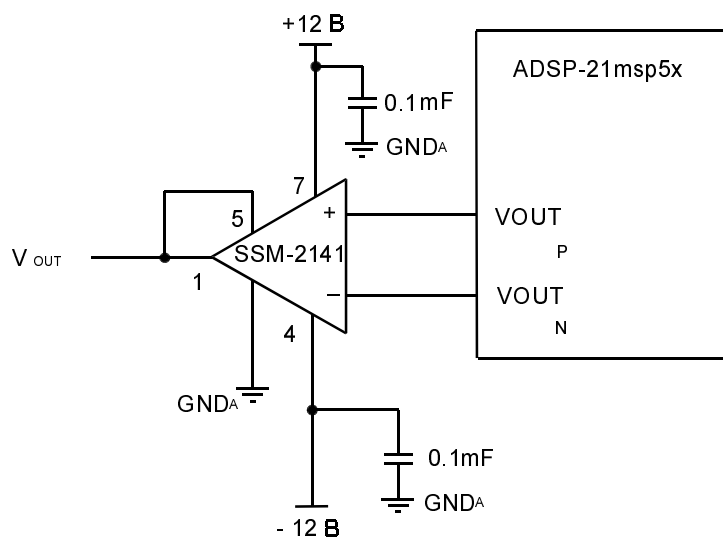


Рис. 8.8 Пример схемы для получения однополярного выходного сигнала

8.5.3 Емкость фильтра источника опорного напряжения

На рис. 8.9 на следующей странице представлена рекомендуемая схема включения емкости фильтра источника опорного напряжения. Отрицательные выводы конденсаторов должны быть соединены с такой же точкой "Земля", показанной на рис. 8.6.

8 АНАЛОГОВЫЙ ИНТЕРФЕЙС

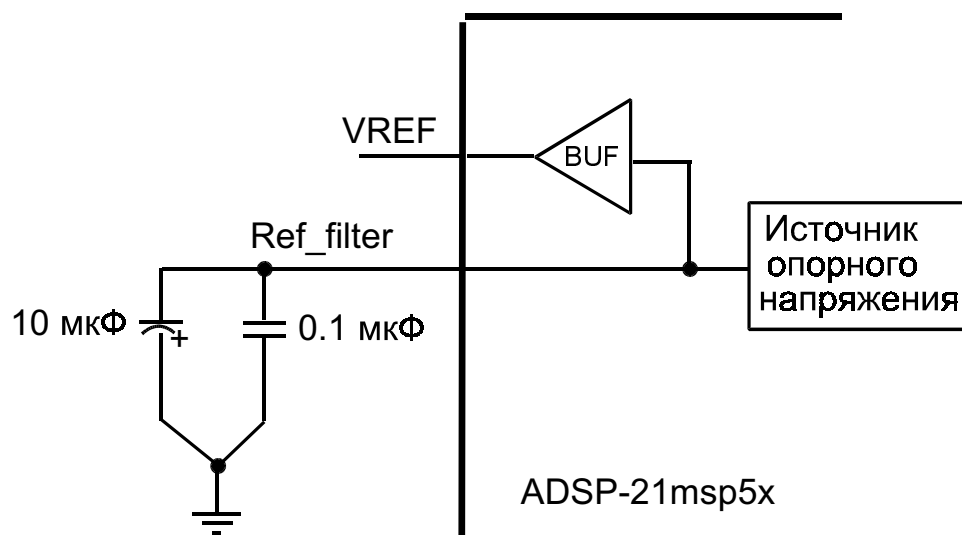


Рис. 8.9 Конденсатор фильтра источника опорного напряжения