

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

7.1 ОБЗОР

Порт интерфейса хост-машины (ХИП) процессоров ADSP-2111, ADSP-2171 и ADSP-21msp58/59 является параллельным портом ввода/вывода, который позволяет указанным процессорам функционировать в качестве отображенных в карте памяти периферийных устройств (т.е. подчиненных цифровых сигнальных процессоров) при главной вычислительной машине (хост-машине). В качестве последних можно использовать другие процессоры семейства ADSP-2100, Intel 8051, Motorola 68000 и др.

Порт интерфейса хост-машины можно представить как область общей памяти или регистров почтового ящика, за счет которых осуществляется коммуникация между хост-машиной и цифровым сигнальным процессором. Хост-машина обращается к ХИП как к области памяти, содержащей 8-разрядные или 16-разрядные слова. Для процессора ХИП выступает как группа из восьми регистров, отображенных в карте памяти данных.

В качестве отображенных в карте памяти периферийных устройств может параллельно подключаться любое число процессоров семейства ADSP-2100. Присвоение каждому цифровому сигнальному процессору своей, отличной от других, ячейки памяти позволяет хост-машине (процессору) управлять всеми процессорами одновременно.

Быстродействие ХИП определяется быстродействием шины данных процессора. Операция записи или считывания может производиться в течение одного цикла процессора. Так как устройства, с которыми соединен ХИП, как правило, не отличаются большим быстродействием (например, выполнение операции с шиной может занять у процессора Motorola 68000 до 4 циклов), скорость передачи данных обычно ограничивается возможностями хост-машины.

Порт интерфейса хост-машины работает совершенно асинхронно с остальными операциями цифрового сигнального процессора. Хост-машина может считывать или записывать данные с ХИП, в то время как цифровой сигнальный процессор работает с максимально возможной скоростью. Можно задать конфигурацию ХИП для работы с 8-разрядной или 16-разрядной шиной данных, с мультиплексированной шиной адреса/данных или отдельными шинами адреса и данных.

Процессоры ADSP-2111, ADSP-2171 и ADSP-21msp58/59 поддерживают операции начальной загрузки двух типов. При одном методе начальная загрузка производится с внешней памяти (обычно ППЗУ) с использованием интерфейса загрузки памяти, описываемого в главе "Интерфейс памяти". При другом методе ХИП используется для начальной загрузки программы с хост-машины. Этот метод будет рассмотрен в конце данной главы.

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

7.2 ВЫВОДЫ ХИП

ХИП имеет 27 выводов. Как это показано в табл. 7.1, 16 из них являются информационными, а 11 - управляющими. Некоторые из управляющих выводов выполняют двойные функции, позволяя процессору поддерживать несколько протоколов шины.

Таблица 7.1

Выводы порта интерфейса хост-машины

Имя вывода	Количество	Направление	Функция
HSEL	1	Ввод	Выбор ХИП
HACK	1	Вывод	Подтверждение ХИП
HSIZE	1	Ввод	Хост-машина 8/16 бит, 0=16 бит; 1=8-бит
BMODE	1	Ввод	Выбор режима начальной загрузки, 0=нормальный (EPROM); 1=ХИП
HMD0	1	Ввод	Выбор стро́ба шины, 0 = RD, WR; 1 = RW, DS
HRD /HRW*	1	Ввод	Стрoб считывания ХИП/Выбор запись/считывание
HW R /HDS *	1	Ввод	Стрoб записи ХИП/Стрoб данных хост-машины
HMD1	1	Ввод	Режим адреса/данных ХИП, 0=отдельная шина; 1=мультиплексированная шина
HD15-0 /HAD15-0**	16	Двунаправленный	Данные ХИП/Адрес и данные
HA2 /ALE**	1	Ввод	Адрес хост-машины 2 /Активизация фиксации адреса
HA1-0 /нет функций**	2	Ввод	Адреса хост-машины 1 и 0
ВСЕГО	27		

Вывод **HSEL** позволяет хост-машине активизировать или блокировать ХИП для передачи данных с хост-машины.

* HMD0 выбирает функцию

** HMD1 выбирает функцию

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

$\overline{\text{HACK}}$ используется для вывода подтверждения хост-машинам, которым для квитирования установления связи требуется подтверждение.

HSIZE задает конфигурацию размера шин; ХИП может работать как в режиме 8, так и 16 бит. Если ХИП сконфигурирован для работы с 8-битовой хост-машиной (HSIZE=1), данные считываются и записываются в восемь младших бит в регистре данных ХИП, а старшие восемь бит этого регистра заполняются нулями (при записи с хост-машины) или находятся в третьем состоянии (хост-машина считывает данные).

BMODE определяет, осуществляется ли начальная загрузка с ХИП или через выходы интерфейса памяти.

HMD0 и HMD1 задают конфигурацию выводов стробов, данных и адреса, как показано в табл. 7.2. HMD0 задает конфигурацию стробов шин, выбирая либо отдельные стробы записи и считывания, либо единый строб запись/считывание и строб данных хост-машины. HMD1 конфигурирует протокол шины, выбирая либо отдельные шины адреса (3 бита) и данных (16 бит), либо мультиплексированную 16-разрядную шину адреса/данных со стробом фиксации адреса ALE. О временных характеристиках каждого из четырех протоколов будет рассказано далее в данной главе.

Таблица 7.2

Режимы конфигурации ХИП

		HMD1=0	HMD1=1
HMD0=0	$\overline{\text{HRD}}$	Строб считывания ХИП	$\overline{\text{HRD}}$ Строб считывания ХИП
	$\overline{\text{HW R}}$	Строб записи ХИП	$\overline{\text{HW R}}$ Строб записи ХИП
	HD15-0	Данные ХИП	HAD15-0 Адрес/данные ХИП
	HA2-	Адрес ХИП	ALE Строб фиксации адреса ХИП
HMD0=1	HRW	Выбор запись/считывание ХИП	HRW Выбор запись/считывание ХИП
	$\overline{\text{HDS}}$	Строб данных ХИП	$\overline{\text{HDS}}$ Строб данных ХИП
	HD15-0	Данные ХИП	HAD15-0 Адрес/данные ХИП
	HA2-0	Адрес ХИП	ALE Строб фиксации адреса ХИП

Функции следующих выводов определяются состоянием выводов HMD0 и HMD1:

HD15-0/HAD15-0 представляют собой либо шину данных, либо мультиплексированную шину адреса/данных. (Используются только 3 наименее значимых бита).

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

$\overline{\text{HRD}}/\text{HRW}$ является выводом либо stroba считывания, либо выбора запись/считывание (1=считывание; 0=запись).

$\overline{\text{HWR}}/\overline{\text{HDS}}$ является выводом либо stroba записи, либо stroba данных.

$\text{HA2}/\text{ALE}$ является выводом либо самого старшего бита адреса, либо stroba фиксации адреса.

HA1-0 являются выводами двух самых младших бит адреса, либо не используются.

7.3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ ХИП

ХИП состоит из трех функциональных блоков, которые показаны на рис.7.1: управляющий блок интерфейса хост-машины, блок из шести регистров данных (HDR5-0) и блок, состоящий из двух регистров состояния (HSR7-6). В ХИП также включается связанный с ним регистр HMASK для маскирования прерываний, сгенерированных ХИП. Управляющий блок обеспечивает управление записью регистров хост-машины и считыванием из них. Два регистра состояния предоставляют статусную информацию как хост-машине, так и цифровому сигнальному процессору.

Регистры данных ХИП, HDR5-0 , отображены в карте внутренней памяти данных в ячейках с 0x3FE0 (HDR0) по 0x3FE5 (HDR5). Эти регистры можно представить как блок двухпортовой памяти. Ни для одного из этих регистров не задано никакого направления работы; как хост-машина, так и цифровой сигнальный процессор могут считывать и записывать данные в эти регистры. Когда хост-машина считывает данные из регистра HDR , генерируется маскируемое прерывание считывания ХИП. Когда запись регистра HDR осуществляется хост-машиной, ХИП генерирует маскируемый сигнал прерывания записи.

Состояние считывания/записи регистров HDR хранится в регистрах HSR . Эти регистры могут использоваться для опроса состояния регистров HDR . Пересылки данных через ХИП могут быть осуществлены используя либо прерывания, либо схему опроса, которая будет позже описана в данной главе.

Регистры HSR в карте памяти показаны на рис. 7.2. Информация, хранящаяся в регистрах состояния HSR6 и HSR7 , показывает, какие из регистров HDR были записаны. Младший байт регистра HSR6 показывает, какие регистры HDR были записаны с хост-машины. Старший байт регистра HSR6 показывает, какие регистры HDR были записаны с цифрового сигнального процессора. При считывании из регистра HDR соответствующий бит в регистре HSR сбрасывается.

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

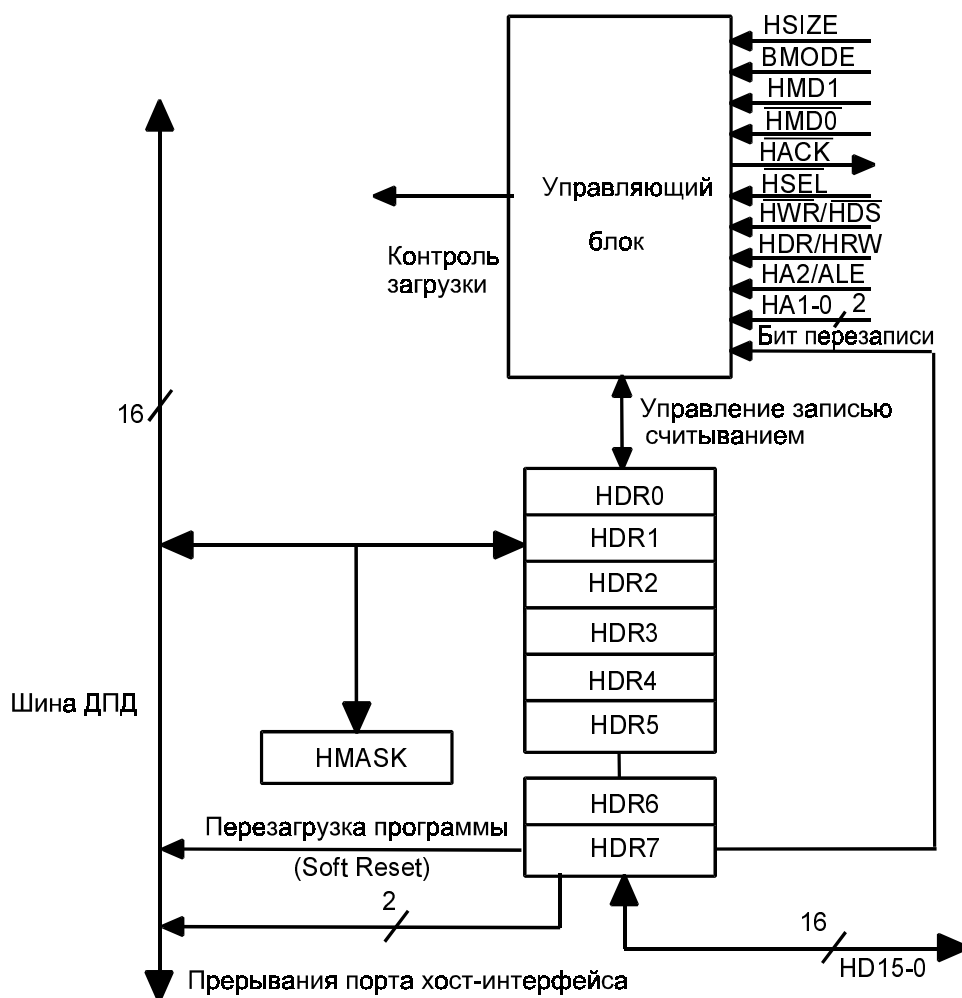


Рис. 7.1 Блок-схема ХИП

Младшие 6 бит регистра HSR7 копируются со старшего байта регистра HSR6 таким образом, чтобы 8-битовые хост-машины могли считывать оба байта информации о состоянии регистров данных. Биты 7 и 6 регистра HSR7 управляют режимом перезаписи и перезапуска программы, соответственно; об этих функциях будет позже рассказано в данной главе. Старший байт регистра HSR7 является резервным. Все резервные биты и бит перезапуска программы при считывании принимаются за нули. Бит перезаписи является единственным битом в регистре

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

HSR, который может как считываться, так и записываться. При перезапуске системы все биты регистров HSR, кроме бита перезаписи, обнуляются, а последний равен 1.

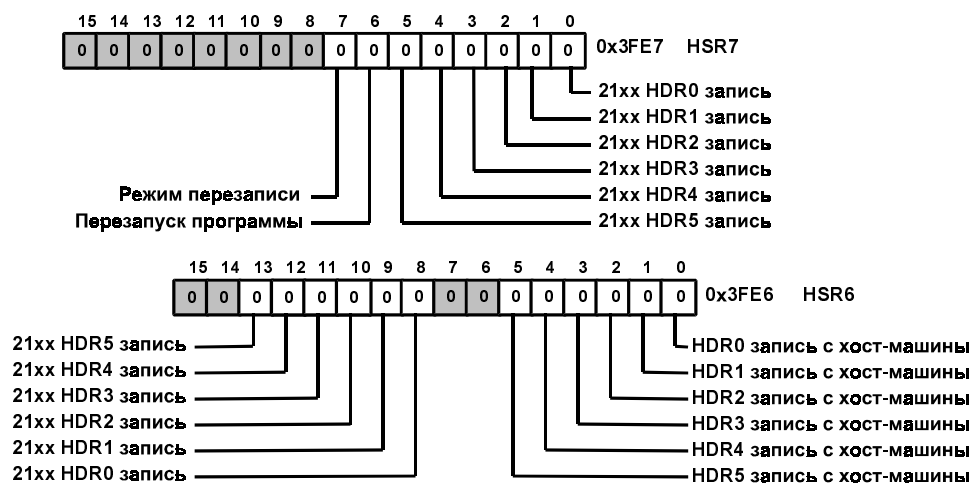


Рис. 7.2. Регистры состояния ХИП

7.4 РАБОТА ХИП

Цифровой сигнальный процессор может поместить значение данных в один из регистров HDR для его последующего извлечения хост-машиной. Таким же образом, хост-машина может поместить значение данных в один из регистров HDR для извлечения этого значения цифровым сигнальным процессором. Для хост-машины регистры HDR функционируют как область памяти. Для цифрового сигнального процессора регистры HDR выступают как отображенные в карте памяти регистры (часть пространства внутренней памяти данных).

Так как ХИП, как правило, сообщается с хост-машиной, которая имеет более медленную скорость выполнения команд и шинный цикл, занимающий несколько циклов, хост-машина обычно выступает как фактор, ограничивающий скорость передачи ХИП. Во время передачи цифровой сигнальный процессор выполняет свои команды нормальным образом, независимо от действий ХИП. Это действительно даже для передачи с хост-машины, которая занимает несколько циклов.

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

Для хост-машин, которые требуют квитирования установления связи, цифровой сигнальный процессор возвращает НАСК в том же цикле, когда получен доступ к хост-машине, за исключением режима перезаписи. В режиме перезаписи цифровой сигнальный процессор может продлить доступ к хост-машине не выдавая подтверждение НАСК до завершения цикла. Пользователь может активизировать и блокировать режим перезаписи установкой и сбросом соответствующего бита в регистре HSR7. Режим перезаписи будет более подробно описан в данной главе.

Регистры HDR не инициализируются во время перезапуска программы или аппаратных средств. Хост-машина может записать информацию в регистры HDR перед перезапуском, а цифровой сигнальный процессор может считать эту информацию после окончания перезапуска. Однако, во время перезапуска не могут происходить передачи ХИП; вывод НАСК не подтверждается, а выводы данных находятся в третьем состоянии.

Так как хост-машина, для которой требуется квитирование установления связи, должна ожидать подтверждения от цифрового сигнального процессора, то она может "повиснуть". Если перезапуск цифрового сигнального процессора происходит, когда хост-машина инициализировала передачу, но еще не получила подтверждения, то такое подтверждение не может быть затем сгенерировано, и, таким образом, хост-машина может находиться в состоянии ожидания неопределенное количество времени.

В ХИП не предусмотрено никакого аппаратного обеспечения для предотвращения ситуации, когда хост-машина осуществляет запись в регистр, состояние которого в этот момент считывается цифровым сигнальным процессором (и наоборот). Когда хост-машина и цифровой сигнальный процессор пытаются одновременно записать данные в один и тот же регистр, преимуществом в такой ситуации пользуется хост-машина. Тем не менее, следует избегать одновременных операций записи: так как цифровой сигнальный процессор и хост-машина работают асинхронно, одновременное записывание может иметь непредсказуемые последствия.

7.4.1 Операции с опросом

Опрос является одним из методов передачи данных между хост-машиной и цифровым сигнальным процессором. Каждый раз, когда хост-машина записывает данные в регистр HDR, устанавливается один бит в младшем байте регистра HSR6. Этот бит остается установленным до тех пор, пока цифровой сигнальный процессор не считывает содержимое данного регистра HDR. Подобным

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

образом, когда цифровой сигнальный процессор записывает данные в регистр HDR, в старшем байте регистра HSR6 (и в младшем байте регистра HSR7) устанавливается соответствующий бит. Этот бит автоматически сбрасывается при считывании содержимого регистра HDR хост-машиной.

Например, цифровой сигнальный процессор может ожидать в цикле во время считывания бита HSR, чтобы удостовериться, что хост-машина записала новые данные. Когда цифровой сигнальный процессор обнаруживает, что соответствующий бит установлен, он выходит из этого цикла по команде условного перехода, обрабатывает новые данные, а затем возвращается в цикл. При передаче данных на хост-машину цифровой сигнальный процессор ожидает, пока та не считает последние записанные данные, чтобы можно было передавать новые данные. Хост-машина опрашивает биты регистра HSR, чтобы удостовериться, что новые данные являются доступными.

7.4.1.1 Синхронизация состояния ХИП

Процессы, протекающие в цифровом сигнальном процессоре, асинхронны процессам, происходящим в хост-машине. Следовательно, значения в их общих регистрах могут изменяться в любое время, и при считывании изменяющегося значения могут возникнуть непредсказуемые последствия.

Однако ХИП процессоров семейства ADSP-2100 включает схему синхронизации, которая гарантирует сохранение состояния ХИП во время операции считывания данных цифровым сигнальным процессором или хост-машиной. Эта синхронизация показана на рис. 7.3 и 7.4. Регистры состояния обновляются процессором семейства ADSP-2100 синхронно с тактовыми синхроимпульсами процессора, однако обращения хост-машины к процессору производятся асинхронно относительно его тактовых синхроимпульсов.

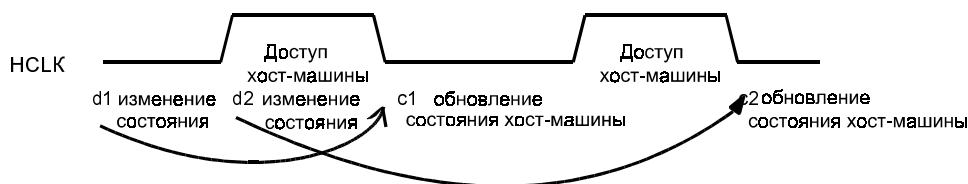


Рис. 7.3 Синхронизация состояния хост-машины

При считывании хост-машиной данных о состоянии из регистра HSR6 или HSR7 возникает задержка синхронизации длиной в один цикл до того момента, как информация о текущем (т.е. обновленном состоянии) становится

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

доступной. Следовательно, для получения правильной информации о текущем состоянии процессора хост-машине требуется выполнить два последовательных обращения к процессору - правильная информация о текущем состоянии будет получена во время второго обращения, в то время как при первом будет считана информация о предыдущем состоянии процессора.

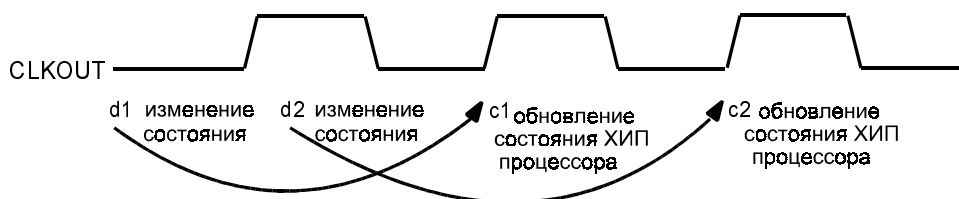


Рис. 7.4 Синхронизация состояния ХИП цифрового сигнального процессора

Как показано на рис. 7.3, синхронизация состояния хост-машины производится в соответствии с внутренними относительно цифрового сигнального процессора псевдо-тактовыми синхроимпульсами HCLK, которые являются логической комбинацией стробов $\overline{\text{HRD}}$, $\overline{\text{HWR}}$, $\overline{\text{HSEL}}$. Сначала на рис. 7.3 показано изменение состояния в точке d1. После последовательности низкий-высокий-низкий уровень HCLK состояние хост-машины может обновляться в точке c1. Изменение состояния в точке d2 происходит после последовательности низкий-высокий-низкий уровень HCLK, после чего состояние хост-машины обновляется в точке c2.

Для синхронизации состояния процессора семейства ADSP-2100 требуется один полный цикл CLKOUT (начиная с переднего фронта) после каждого изменения состояния. Как показано на рис. 7.4, изменение состояния в точке d1 вызовет обновление состояния ХИП в точке c1. Изменение состояния в точке d2 вызывает обновление состояния ХИП в точке c2.

7.4.2 Операции, управляемые прерываниями

Использование протокола с управлением по прерываниям освобождает хост-машину и цифровой сигнальный процессор от опроса регистров HSR, который нужен, чтобы удостовериться, что данные готовы для считывания. Для управляемых прерываниями передач на цифровой сигнальный процессор хост-машина записывает данные в регистр HDR, а ХИП автоматически генерирует при этом внутреннее прерывание. Обслуживание этого прерывания аналогично всем другим прерываниям.

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

Для передачи на хост-машину цифровой сигнальный процессор записывает данные в регистр HDR, затем устанавливает вывод флага, связанный с входом прерываний хост-машины, уведомляя, таким образом, последнюю о том, что новые данные готовы к передаче. Описание выводов флагов приводится в главе 9 "Интерфейс системы". Если цифровой сигнальный процессор передает данные на хост-машину только через один регистр HDR, то содержимое этого регистра HDR может быть непосредственно считано хост-машиной при получении ею сигнала прерывания. Если для пересылки данных используются несколько регистров HDR, хост-машина, чтобы определить, какие регистры HDR были записаны цифровым сигнальным процессором, должна считать соответствующие биты в регистрах HSR.

7.4.3 Режим перезаписи регистров HDR

В большинстве случаев цифровой сигнальный процессор считывает данные, посланные хост-машиной через ХИП, быстрее, чем та может их посылать. Однако, если хост-машина обладает достаточным быстродействием, а цифровой сигнальный процессор занят, или управляется тактовыми синхроимпульсами с большим периодом следования, при обслуживании прерывания записи с хост-машины может возникнуть задержка. Если хост-машина использует протокол квитирования установления связи, при котором для завершения передачи с хост-машины от цифрового сигнального процессора требуется установка \overline{HACK} , процессор может отложить следующую запись с хост-машины до завершения обработки текущей.

Если бит перезаписи регистров HDR (бит 7 в регистре HSR7) сброшен и если хост-машина пытается записать в регистр до того, как его содержимое было считано цифровым сигнальным процессором, \overline{HACK} не устанавливается, пока процессор не считает до этого записанные в регистре данные. Хост-машина должна ожидать установления \overline{HACK} . Однако, как уже упоминалось, с момента записи данных хост-машиной до синхронизации состояния с цифровым сигнальным процессором существует задержка. Во время этого интервала хост-машина может повторно записать данные в регистр HDR даже при сброшенном бите перезаписи.

При установленном бите перезаписи регистров HDR предыдущее значение этих регистров перезаписывается, и \overline{HACK} немедленно устанавливается. Считывание данных цифровым сигнальным процессором из регистра, в который в данный момент записывает хост-машина, приводит к непредсказуемым последствиям.

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

При перезапуске системы бит перезаписи HDR устанавливается. Если хост-машина не требует подтверждения (НАСК не используется), бит перезаписи HDR должен всегда быть установленным, так как цифровой сигнальный процессор не может никаким другим способом предотвратить перезапись.

7.4.4 Перезапуск программы

При записи 1 в бит 6 регистра HSR7 происходит перезапуск программы цифрового сигнального процессора. Если этот бит записывается самим процессором, происходит немедленный перезапуск программы. В других случаях программа перезапускается, как только запись бита перезапуска синхронизируется с тактовым генератором системы цифрового сигнального процессора. Внутренний сигнал перезапуска программы удерживается в течение пяти циклов тактового генератора цифрового сигнального процессора, а затем сбрасывается.

7.5 ПРЕРЫВАНИЯ ХИП

Прерывания ХИП могут маскироваться с использованием регистра IMASK или HMASK. Биты в регистре IMASK разрешают или блокируют все прерывания считывания или записи ХИП. С другой стороны, в регистре HMASK имеются биты для маскирования сгенерированных прерываний считывания и записи для отдельных регистров HDR. Чтобы запись или считывание с регистра HDR вызвали прерывание, в регистре IMASK должно быть разрешено прерывание записи или считывания ХИП, а в регистре HMASK должны быть разрешены считывание или запись в определенный регистр HDR. Регистр HMASK отображен в карте памяти в ячейке 0x3FE8. Описание регистра IMASK приводилось в главе 3, "Управление программой".

Прерывание считывания данных хост-машиной генерируется, когда регистр HDR готов к приему данных с цифрового сигнального процессора, что происходит, когда хост-машина уже считала предыдущие данные, а также после перезапуска, но до того, как процессор записал новые данные в регистр HDR. Однако, регистр HMASK маскирует все прерывания ХИП при перезапуске. Прерывание считывания позволяет цифровому сигнальному процессору передавать данные на хост-машину без каких-либо затрат, связанных с процедурой опроса.

Регистр HMASK позволяет осуществлять записи и считывать содержимое некоторых регистров HDR, не генерируя при этом прерываний. Например, система может использовать HDR2 и HDR1 для значений данных и HDR0 для значений команд. Прерывания записи с хост-машины от регистров HDR2 и HDR1 будут маскироваться, в то время как прерывание записи от регистра HDR0 будет

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

немаскируемым, следовательно, после записи хост-машиной значения команды цифровой сигнальный процессор обработает эту команду. Таким образом можно избежать затрат на обслуживание прерываний при записи значений данных с хост-машины.

Регистр HMASK имеет сходную с регистром HSR6 (рис.7.5) организацию; бит маскирования расположен там же, что и бит состояния соответствующего регистра. Младший байт регистра HMASK маскирует прерывания записи с хост-машины, а старший байт этого регистра маскирует прерывания считывания данных хост-машиной. Все биты имеют высокий активный уровень (0=маскирование, 1=разрешение).

Регистр HMASK отображен во внутренней карте памяти данных по адресу 0x3FE8. При перезапуске системы все биты регистра HMASK становятся равными нулю, что означает, что маскируются все прерывания ХИП.

Прерывания записи и считывания ХИП не сбрасываются при обслуживании такого прерывания. Считывание из регистра HDR сбрасывает прерывание записи, а запись в регистр HDR сбрасывает прерывание считывания. Логическая комбинация всех запросов на прерывание считывания и записи генерирует прерывание ХИП. Отложенные запросы на прерывание остаются необслуженными до сброса всех прерываний ХИП за счет считывания или записи соответствующего регистра данных ХИП. Если цифровой сигнальный процессор считывает содержимое регистров, которые могут в этот момент записываться хост-машиной, прерывание может и не быть сгенерировано. Чтобы все записи с хост-машины генерировали прерывания, нужно убедиться, что цифровой сигнальный процессор не считывает регистры HDR, которые в данный момент записываются с хост-машины. При обслуживании прерывания может производиться считывание из регистров состояния, чтобы определить, какая операция привела к генерированию прерывания и нужно ли обслужить несколько запросов на прерывание.

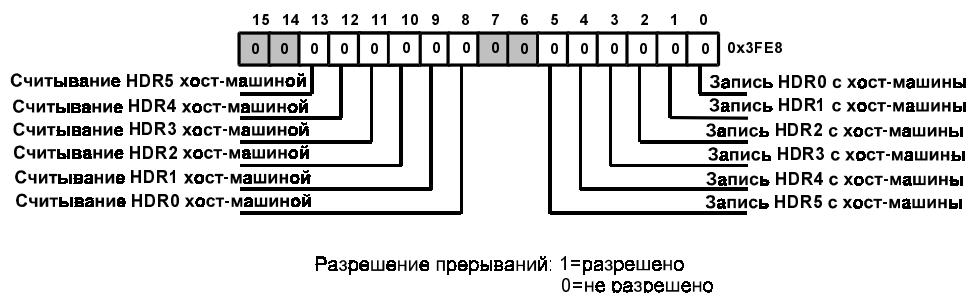


Рис. 7.5. Регистр HMASK

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

Прерывания ХИП, в отличие от других прерываний, не могут принудительно устанавливаться или сбрасываться при помощи программных средств. Вектор прерывания записи ХИП находится в ячейке 0x0008. Вектор прерывания считывания ХИП - в ячейке 0x000C.

7.6 ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ ХИП

На следующей далее схеме приведены временные характеристики сигналов ХИП при различных режимах, которые определяются HMD0 и HMD1. HMD0 задает конфигурацию стробов шин, выбирая либо отдельные стробы записи и считывания, либо единый выбор запись/считывание со стробом данных хост-машины. HMD1 задает конфигурацию протокола шины, выбирая либо отдельные шины адреса (3 бита) и данных (16 бит), либо мультиплексированную 16-разрядную шину адреса/данных со стробом фиксации адреса. Состояние вывода HSIZE может меняться в каждом цикле; хотя это никак не отражено на нижеследующей схеме, этот вывод имеет те же временные характеристики, что и сигнал HRD /HRW.

На рис. 7.6 на следующей странице показаны временные характеристики ХИП, когда HMD0=0 и HMD1=0. HMD0 задает отдельные стробы записи и считывания, а HMD1 устанавливает отдельные шины адреса и данных.

Ниже приводится временная последовательность действий для цикла считывания и цикла записи:

1. Хост-машина выставляет адрес.
2. Хост-машина выставляет ($\overline{\text{HRD}}$ или $\overline{\text{HWR}}$) и $\overline{\text{HSEL}}$.
3. Цифровой сигнальный процессор возвращает $\overline{\text{HACK}}$ (и данные для цикла считывания).
4. Для цикла записи хост-машина выставляет данные.
5. Хост-машина сбрасывает ($\overline{\text{HRD}}$ или $\overline{\text{HWR}}$) и $\overline{\text{HSEL}}$.
6. Хост-машина сбрасывает адрес (и данные для цикла записи).
7. Цифровой сигнальный процессор сбрасывает $\overline{\text{HACK}}$ (и данные для цикла считывания).

На рис. 7.7 показаны временные характеристики ХИП при HMD0=1 и HMD1=0. HMD0 задает мультиплексированный выбор запись/считывание со стробом данных, а HMD1 устанавливает отдельные шины адреса и данных.

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

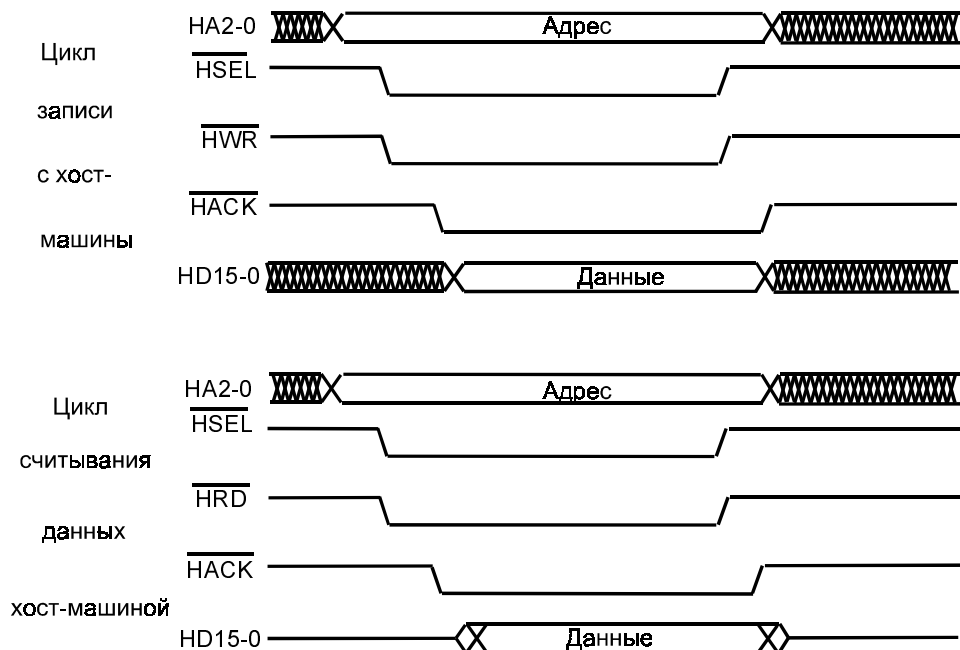


Рис. 7.6 Временные характеристики ХИП: Отдельные стробы, отдельные шины

Ниже приводится временная последовательность действий для цикла считывания и цикла записи:

1. Хост-машина выставляет \overline{HRW} и адрес.
2. Хост-машина выставляет \overline{HDS} и \overline{HSEL} .
3. Цифровой сигнальный процессор возвращает \overline{HACK} (и данные для цикла считывания).
4. Для цикла записи хост-машина выставляет данные.
5. Хост-машина сбрасывает \overline{HDS} и \overline{HSEL} .
6. Хост-машина сбрасывает \overline{HRW} и адрес (и, для цикла записи, данные).
7. Цифровой сигнальный процессор сбрасывает \overline{HACK} (и данные для цикла считывания).

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

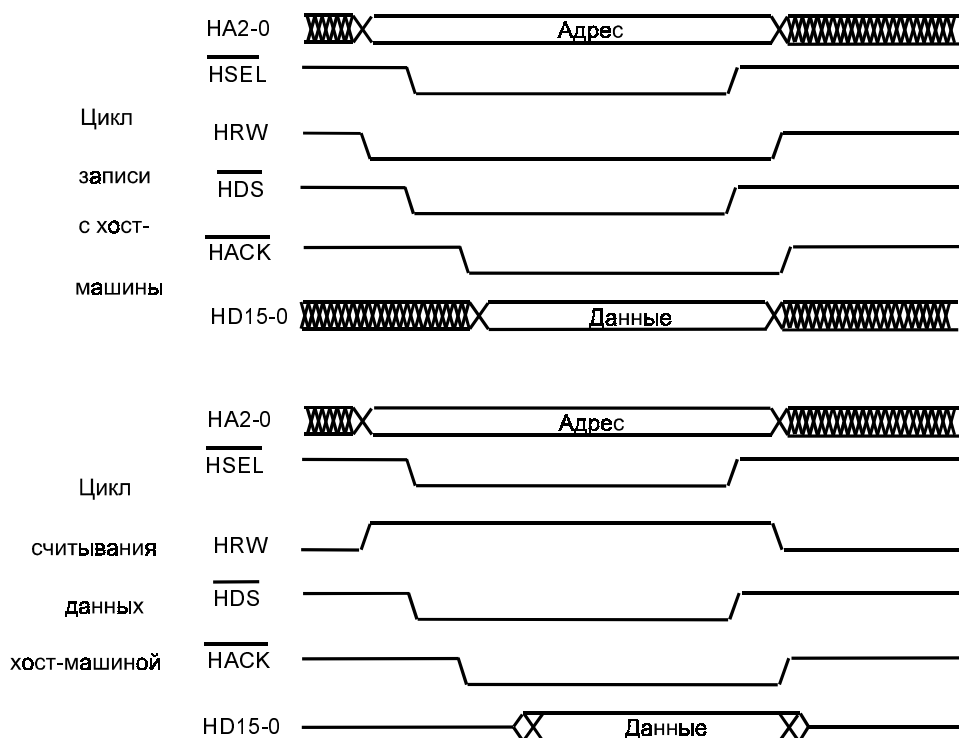


Рис. 7.7 Временные характеристики ХИП: мультиплексированный строб R/W, отдельные шины

На рис. 7.8. показаны временные характеристики ХИП при HMD0=0 и HMD1=1. HMD0 задает отдельные стробы записи и считывания, а HMD1 задает мультиплексированные шины адреса и данных. Для хранения адреса используются регистры HD0-HD2.

Ниже приводится временная последовательность действий для цикла записи и цикла считывания:

1. Хост-машина выставляет ALE.
2. Хост-машина передает/получает адрес.
3. Хост-машина сбрасывает ALE.
4. Хост-машина прекращает передачу/получение адреса.

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

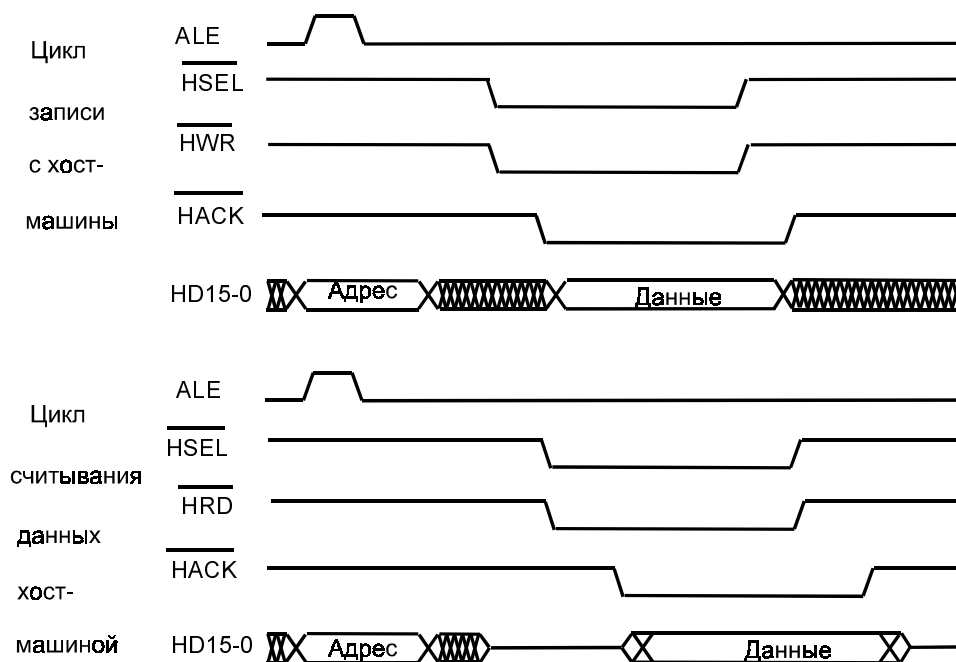


Рис. 7.8. Временные характеристики ХИП: отдельные стробы, мультиплексированные шины.

5. Хост-машина выставляет ($\overline{\text{HRD}}$ или $\overline{\text{HWR}}$) и $\overline{\text{HSEL}}$.
6. Цифровой сигнальный процессор возвращает $\overline{\text{HACK}}$ (и данные для цикла считывания).
7. Для цикла записи хост-машина выставляет данные.
8. Хост-машина сбрасывает ($\overline{\text{HRD}}$ или $\overline{\text{HWR}}$) и $\overline{\text{HSEL}}$.
9. Для цикла записи хост-машина сбрасывает данные.
10. Цифровой сигнальный процессор сбрасывает $\overline{\text{HACK}}$ (и данные для цикла считывания).

На рис. 7.9 показаны временные характеристики ХИП при $\text{HMD0}=1$ и $\text{HMD1}=1$. HMD0 задает мультиплексированные выбор запись/считывание со стробом данных, а HMD1 устанавливает мультиплексированные шины адреса и данных.

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

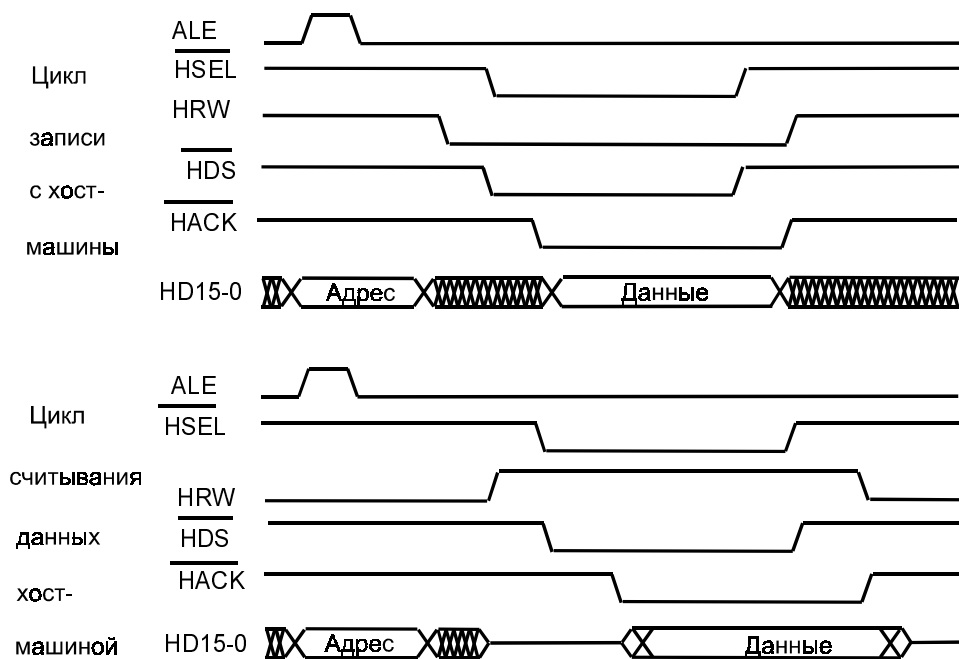


Рис. 7.9 Временные характеристики ХИП: мультиплексированный строб R/W, мультиплексированные шины

Ниже приводится последовательность действий для цикла записи и цикла считывания:

1. Хост-машина выставляет ALE.
2. Хост-машина передает/получает адрес.
3. Хост-машина сбрасывает ALE.
4. Хост-машина прекращает передавать/получать адрес.
5. Хост-машина выставляет HRW.
6. Хост-машина выставляет HDS и HSEL.
7. Цифровой сигнальный процессор возвращает HACK (и данные для цикла считывания).
8. Для цикла записи хост-машина выставляет данные.
9. Хост-машина сбрасывает HDS и HSEL.
10. Хост-машина сбрасывает HRW (и данные для цикла записи).
11. Цифровой сигнальный процессор сбрасывает HACK (и данные для цикла считывания).

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

7.7 НАЧАЛЬНАЯ ЗАГРУЗКА ЧЕРЕЗ ХИП

Используя процедуру начальной загрузки можно загрузить внутреннее ОЗУ программы цифрового сигнального процессора полностью или частично. Начальная загрузка происходит при перезапуске программы или аппаратных средств, когда на выводе ММАР установлен 0. Если на ММАР установлена 1, процедура начальной загрузки не выполняется.

Начальная загрузка цифрового сигнального процессора может осуществляться двумя способами: из внешней памяти (обычно ППЗУ) с использованием интерфейса памяти или с хост-машины с использованием ХИП. Состояние вывода ВМОНЕ определяет используемый тип начальной загрузки. Когда ВМОНЕ=0, используется начальная загрузка через интерфейс памяти. Описание этого процесса дается в главе 10, "Интерфейс памяти". Когда ВМОНЕ=1, начальная загрузка идет через ХИП. Об этом процессе и будет рассказано ниже.

Чтобы сформировать файл для загрузки через ХИП, используйте утилиту для ХИП программы разбиения, представленную среди средств отладки процессоров семейства ADSP-2100. (Данная утилита формирует файлы начальной загрузки через ХИП, в то время как утилита программы разбиения для ППЗУ (PROM Splitter) формирует файлы для начальной загрузки через ППЗУ.)

ВМОНЕ (строб начальной загрузки памяти) выставляется как при загрузке через ХИП, так и при использовании интерфейса памяти; в данном случае он выступает в качестве указания на выполнение процедуры начальной загрузки. При начальной загрузке через ХИП состояния ожидания памяти начальной загрузки не имеют значения.

Начальная загрузка через ХИП осуществляется в следующей последовательности:

1. После перезапуска хост-машина записывает значение длины последовательности начальной загрузки в регистр HDR3.
2. Хост-машина ожидает в течение не менее двух циклов цифрового сигнального процессора.
3. Начиная с команды, которая должна загружаться в самый старший адрес внутренней памяти программы, хост-машина записывает команду в регистры HDR0, HDR2 и HDR1 (в указанном порядке), в каждый по одному байту. Самый старший байт попадает в HDR0, самый младший байт записывается в HDR2, а средний байт - в HDR1.
4. Адрес команды декрементируется, после чего повторяется шаг 3. Так продолжается до загрузки в ХИП последней команды.

ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ 7

После того как цифровой сигнальный процессор считает длину начальной загрузки, начинается загрузка байтов в порядке от самого старшего адреса к младшему. Такая процедура обеспечивает более короткое время начальной загрузки для коротких кодов загружаемых команд.

Число загружаемых команд должно быть кратным восьми. Значение длины вычисляется как

$$\text{Длина} = (\text{количество 24-битовых слов памяти программы}/8) - 1$$

Таким образом, при значении длины равном 0 ХИП загрузит восемь слов по 24 бита каждое.

В большинстве случаев квитирование установления связи не является необходимым, и хост-машина может передавать данные с максимальной скоростью, на какую способна. Если хост-машина работает быстрее, чем цифровой сигнальный процессор, в цикл хост-машины должны быть добавлены состояния ожидания или команды NOP, таким образом чтобы замедлить скорость ее работы до одной записи на каждый тактовый цикл цифрового сигнального процессора.

Следующий пример иллюстрирует, какие данные будут записаны хост-машиной в регистры ХИП во время начальной загрузки 1000 команд.

<i>Данные</i>	<i>Размещение</i>
Длина страницы (124 в десятичной системе исчисления)	HDR3
Старший байт команды 999	HDR0
Младший байт команды 999	HDR2
Средний байт команды 999	HDR1
Старший байт команды 998	HDR0
Младший байт команды 998	HDR2
Средний байт команды 998	HDR1
Старший байт команды 997	HDR0
Младший байт команды 997	HDR2
Средний байт команды 997	HDR1
•	•
•	•
•	•
•	•
Старший байт команды 0	HDR0
Младший байт команды 0	HDR2
Средний байт команды 0	HDR1

7 ПОРТ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

16-разрядная хост-машина может осуществлять начальную загрузку цифрового сигнального процессора с такой же скоростью, что и 8-разрядная. Хост-машина любого типа должна записывать одни и те же данные в те же самые регистры HDR в одной и той же последовательности. Если 16-разрядная хост-машина записывает данные разрядностью 16 бит, старший байт данных должен быть равен 0x00. Это показано в следующем примере, в котором рассматривается загрузка команды 0xABCDEF.

	<u>8-разрядная хост-машина</u>	<u>16-разрядная хост-машина</u>
1-я запись (в регистр HDR0)	0xAB	0x00AB
2-я запись (в регистр HDR2)	0xEF	0x00EF
3-я запись (в регистр HDR1)	0xCD	0x00CD