

ИНТЕРФЕЙС СИСТЕМЫ 9

9.1 ОБЗОР

В данной главе рассматривается интерфейс системы процессоров семейства ADSP-2100. В интерфейс системы входят различные аппаратные и программные средства, позволяющие управлять цифровым сигнальным процессором.

Управляющие выводы процессора включают вход сигнала RESET, входы сигналов тактовой синхронизации, входы и выходы флагов, а также входы запросов на прерывание. В данной главе рассматриваются только логические отношения управляющих сигналов; реальные временные характеристики следует искать в технических описаниях каждого процессора по отдельности.

9.2 СИГНАЛЫ ТАКТОВОЙ СИНХРОНИЗАЦИИ

Управление работой процессоров семейства ADSP-2100 осуществляется посредством подачи ТТЛ-совместимого входного сигнала тактовой синхронизации на вывод CLKIN или путем подсоединения кварцевого резонатора между выводами CLKIN и XTAL. При использовании внешнего тактового генератора вывод XTAL должен оставаться не подсоединенным. Во время работы невозможно остановить подачу или изменить частоту сигнала CLKIN.

В процессорах ADSP-2101, ADSP-2105 и ADSP-2111 входные сигналы тактовой синхронизации (CLKIN) совпадают по частоте с командными циклами. Частота входных сигналов тактовой синхронизации процессоров ADSP-2171, ADSP-2181 и ADSP-21msp58/59 в два раза меньше частоты командных циклов, например при частоте входного сигнала тактовой синхронизации 16,67 МГц эти процессоры работают с тактовой частотой 33 МГц (время цикла 30 нс). Синхронизация работы устройства определяется частотой внутренних тактовых синхроимпульсов (сигнал CLKOUT).

Внешний кварцевый резонатор может использоваться для синхронизации работы перечисленных выше процессоров благодаря имеющейся в них внутренней схеме генератора. Кварцевый резонатор подсоединяется между выводами CLKIN и XTAL с использованием двух конденсаторов, как показано на рис. 9.1. Параллельно включенный кварцевый резонатор следует использовать на его основной частоте. Выбранное значение частоты кварцевого резонатора должно равняться требуемой частоте командных циклов процессора (для ADSP-2101, ADSP-2105, ADSP-2115 и ADSP-2111) или половине требуемой частоты командных циклов (для ADSP-2171, ADSP-2181 и ADSP-21msp58/49).

Система внутренней фазовой подстройки частоты генерирует внутренние тактовые синхроимпульсы с периодом в четыре раза превышающим длительность командных циклов.

9 ИНТЕРФЕЙС СИСТЕМЫ

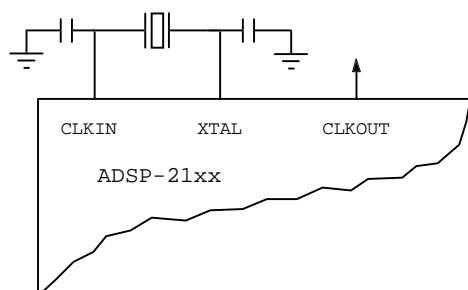


Рис. 9.1 Подключение внешнего кварцевого резонатора

Процессор также генерирует сигнал CLKOUT, синхронизированный относительно внутренних циклов процессора и имеющий период, равный длительности командных циклов процессора. Для генерации сигнала CLKOUT и для разделения каждого командного цикла на последовательность внутренних временных интервалов, называемых состояниями процессора, используется система фазовой автоматической подстройки частоты. Отношения, возникающие между фазами CLKIN, CLKOUT и состояниями процессора, показаны на рис. 9.2 (для процессоров ADSP-2101, ADSP-2105, ADSP-2111 и ADSP-2115) и на рис. 9.3 (для процессоров ADSP-2171, ADSP-2181 и ADSP-21msp58/59). Фазы импульсов внутреннего тактового генератора зависят от периода внешних тактовых синхросигналов.

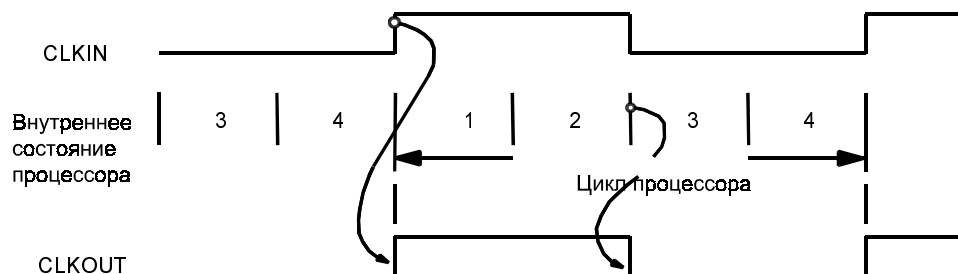


Рис. 9.2 Сигналы тактовой синхронизации и состояния процессора (ADSP-2101, ADSP-2105, DSP-2115, ADSP-2111)

Выходной сигнал CLKOUT может быть блокирован в процессорах ADSP-2171, ADSP-2181 и ADSP-21msp58/59 при помощи соответствующей установки бита CLKODIS в регистре управления автобуферизацией SPORT0.

ИНТЕРФЕЙС СИСТЕМЫ 9

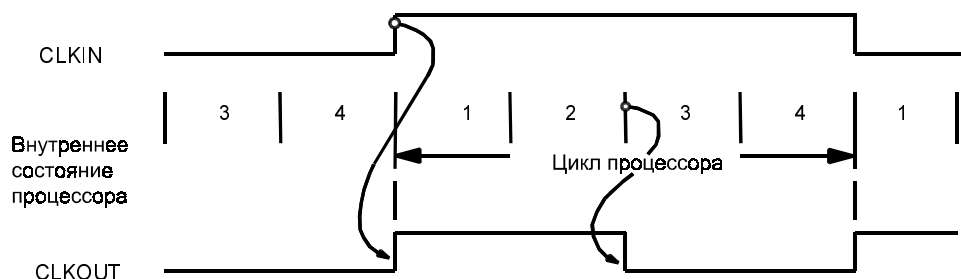


Рис. 9.3 Сигналы тактовой синхронизации и состояния процессора (ADSP-2171, ADSP-2181, ADSP-21msp58/59)

9.2.1 Задержка синхронизации

Каждый процессор имеет несколько асинхронных входных сигналов (например, запросы на прерывание), которые выставляются в произвольной фазе относительно тактовых синхроимпульсов процессора. Перед опознаванием таких сигналов процессор синхронизирует их. Задержка, связанная с распознаванием сигналов, называется задержкой синхронизации.

Различные асинхронные входные сигналы опознаются в различных точках цикла процессора. Любой асинхронный входной сигнал не должен изменять свое значение до точки распознавания в том или ином цикле. Если входной сигнал не удовлетворяет времени установки в данном цикле, то он опознается в следующем цикле, при условии, что он все еще остается действительным.

Запросы на прерывания по фронту внутренне фиксируются, если сигнал запроса имеет достаточную длительность. Однако, чтобы обеспечить распознавание любого асинхронного входного сигнала, такой сигнал должен подтверждаться, по крайней мере, в течение одного полного цикла процессора плюс время установки и удержания. Время установки и удержания для каждого процессора указаны в его техническом описании.

9.2.2 Формирование внутренних синхроимпульсов

Для всех процессоров семейства ADSP-2100 требуются сигналы тактовой синхронизации, полученные из входного тактового сигнала путем умножения частоты на 1 или 1/2. Внутренняя система фазовой автоматической подстройки частоты эффективно используется в процессорах для генерирования внутренних сигналов тактовой синхронизации более высокой частоты и CLKOUT. Так

9 ИНТЕРФЕЙС СИСТЕМЫ

как эти тактовые синхроимпульсы генерируются по переднему фронту CLKIN, фазовые отношения двух процессоров, имеющих один и тот же входной сигнал тактовой синхронизации, совпадают. В результате упрощается синхронизация нескольких процессоров.

Однако, имеются некоторые ограничения на использование схемы с умножением частоты на 1 и 1/2 в комбинации с системой фазовой автоматической подстройки частоты. Сигнал CLKIN должен подаваться в течение времени установления фазы в схеме автоподстройки до снятия сигнала RESET. Кроме того, частота тактовых синхроимпульсов не может изменяться до перезапуска процессора по сигналу RESET. См. подробнее технические описания процессоров семейства ADSP-2100.

9.3 СИГНАЛ ПЕРЕЗАПУСКА

Сигнал RESET останавливает выполнение операций и приводит к перезапуску аппаратных средств процессоров семейства ADSP-2100. Для правильной инициализации процессора сигнал RESET должен выставляться во время включения питания процессора.

В табл. 9.2 - 9.7 показано состояние различных регистров, включая отображенные в карте внутренней памяти регистры управления/состояния, после получения сигнала RESET. Значения не указанных в этих таблицах регистров не определены при перезапуске. Содержимое внутренней памяти на кристалле (памяти данных и ОЗУ программы) после получения сигнала RESET не изменяется, за исключением отображенных в карте памяти данных регистров управления/состояния, как можно видеть из табл. 9.2 - 9.7. При подаче сигнала RESET процессор продолжает генерировать сигнал CLKOUT, если этот сигнал не заблокирован программными средствами в процессорах ADSP-2171, ADSP-2181, ADSP-21msp58/59.

Содержимое регистров вычислительных устройств (ALU, умножителя-накопителя, устройства сдвига) и генераторов адреса данных (DAG1, DAG2) при перезапуске становится неопределенным.

Затем, в зависимости от состояния вывода процессора MMAP, начинается операция начальной загрузки памяти. (Начальная загрузка программы рассматривается в главе 10 "Интерфейс памяти").

В процессорах ADSP-2111, ADSP-2171 и ADSP-21msp58/59, которые имеют порт интерфейса хост-машины, установка бита перезапуска программы в регистре HSR7 имеет те же последствия, что и выставление сигнала RESET. Это дает возможность хост-машине или самому процессору начать перезапуск под управлением программных средств.

В системах из нескольких процессоров требуется синхронный сигнал RESET.

ИНТЕРФЕЙС СИСТЕМЫ 9

9.4 ВЫПОЛНЕНИЕ ПОВТОРНОЙ НАЧАЛЬНОЙ ЗАГРУЗКИ С ПОМОЩЬЮ ПРОГРАММНЫХ СРЕДСТВ

Имеется несколько способов выполнения принудительной повторной начальной загрузки с помощью программных средств. При такой загрузке все стеки процессора возвращаются в исходное состояние, и инициализируются некоторые из его регистров. Директива *context clear* возвращает все стеки процессора в исходное состояние и вызывает повторное выполнение программы, начиная с адреса 0x0000. В табл. 9.1 показаны различные способы выполнения принудительной повторной начальной загрузки различными процессорами семейства ADSP-2100.

В табл. 9.2-9.7 показано состояние регистров процессора после повторной начальной загрузки, осуществляемой с помощью программных средств. Значения регистров, которые не указаны в списке, при перезагрузке не изменяются.

Во время начальной (и повторной начальной) загрузки все прерывания, включая прерывания последовательного порта, маскируются, а автобуферизация блокируется. Последовательные порты остаются в активном состоянии; каждый порт может осуществить одну передачу (из внутреннего регистра сдвига в регистр данных) прежде, чем возникнут проблемы, связанные с переполнением.

Таймер продолжает работу во время повторной начальной загрузки. Прерывание таймера, сгенерированное во время перезагрузки, маскируется. Таким образом, если во время повторной начальной загрузки случается несколько прерываний таймера, процессор фиксирует только первое из них и пропускает остальные.

9 ИНТЕРФЕЙС СИСТЕМЫ

Таблица 9.1

Повторная начальная загрузка с помощью программных средств

<i>Процессор</i>	<i>Метод повторной загрузки</i>	<i>Описание</i>
ADSP-2101	Принудительная загрузка	Установка бита BFORCE в регистре управления системой вызывает повторную загрузку
ADSP-2105		
ADSP-2111		
ADSP-2115		
ADSP-2171	Принудительная загрузка	Установка бита BFORCE в регистре управления системой вызывает повторную загрузку
	Перезапуск при подаче питания	Установка бита PUCR в регистре управления автобуферизацией/понижением потребляемой мощности SPORT1 вызывает повторную загрузку после выхода из режима пониженной мощности.
ADSP-2181	Перезапуск при прямом побайтовом доступе к памяти	Установка бита BCR в регистре управления прямым побайтовым доступом к памяти BDMA до записи в регистр-счетчик слов побайтового доступа к памяти (BWCOUNT) вызывает повторную загрузку. Выполнение программы начинается после завершения загрузки памяти через BDMA.
	Перезапуск при подаче питания	Установка бита PUCR в регистре управления автобуферизацией/понижением потребляемой мощности SPORT1 вызывает повторную загрузку после выхода из режима пониженной мощности.

ИНТЕРФЕЙС СИСТЕМЫ 9

Таблица 9.2

Состояние регистров ADSP-2101/ADSP-2115 после перезапуска или повторной загрузки

<i>Управляющая группа разрядов</i>	<i>Описание</i>	<i>Перезапуск (RESET)</i>	<i>Повторная загрузка</i>
<i>Регистр обмена данными между шинами</i>			
PX	Регистр PX	не определено	не определено
<i>Регистры состояния</i>			
IMASK	Разрешение обслуживания прерываний	0	0
ASTAT	Состояние арифметических устройств	0	0
MSTAT	Состояние режима	0	не изменяется
SSTAT	Состояние стеков	0x55	0x55
ICNTL	Управление прерываниями	не определено	не изменяется
IFC	Принудительная установка/сброс прерываний	0	0
<i>Регистры управления (отображенные в карте памяти)</i>			
BWAIT	Состояния ожидания памяти начальной загрузки	3	не изменяется
BPAGE	Загрузка страницы	0	не изменяется
SPORT1	Конфигурация	1	не изменяется
SPE0	SPORT0 доступен	0	не изменяется
SPE1	SPORT1 доступен	0	не изменяется
DWAIT0-4	Состояния ожидания памяти данных	7	не изменяются
PWAIT	Состояния ожидания памяти программы	7	не изменяется
TCOUNT	Регистр счетчика таймера	не определено	продолжает работу во время перезагрузки
TPERIOD	Регистр периода таймера	не определено	не изменяется
TSCALE	Регистр масштабирования таймера	не определено	не изменяется

продолж. на след. стр.

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.2 (продолжение)

1	2	3	4
<i>Регистры управления последовательным портом (отображенные в карте памяти, один набор для каждого последовательного порта)</i>			
ISCLK	Внутренний тактовый генератор	0	не изменяется
RFSR, TFSR	Требуется кадровая синхронизация	0	не изменяются
RFSW, TFSW	Ширина импульса кадровой синхронизации	0	не изменяются
IRFS, ITFS	Внутренняя кадровая синхронизация	0	не изменяются
INVRF, INVTFS	Инвертирование сигналов кадровой синхронизации	0	не изменяются
DTYPE	Тип и формат компандирования	0	не изменяется
SLEN	Длина последовательно передаваемого слова данных	0	не изменяется
SCLKDIV	Коэффициент деления тактовых синхроимпульсов	не определено	не изменяется
RFSDIV	Коэффициент деления сигналов RFS	не определено	не изменяется
Биты, разрешающие операции со словами данных	многоканальные	не определены	не изменяются
MCE	Разрешение многоканальных операций	0	не изменяется
MCL	Количество каналов при многоканальной передаче	0	не изменяется
MFD	Задержка кадровой синхронизации при многоканальных операциях	0	не изменяется
INVTDV	Инвертирование передаваемых данных	0	не изменяется
RBUF, TBUF	Разрешение автобуферизации	0	0
TIREG, RIREG	Регистры I, используемые для автобуферизации	не определены	не изменяются

продолж. на след. стр.

ИНТЕРФЕЙС СИСТЕМЫ 9

табл. 9.2 (продолжение)

1	2	3	4
TMREG, RMREG	Регистры M, используемые для автобуферизации	не определены	не изменяются
FO (<i>только для SPORT1</i>)	Значение флага FO	не определено	не изменяется

Таблица 9.3

Состояние регистров ADSP-2105 после перезапуска или программной повторной загрузки

<i>Управляющая группа разрядов</i>	<i>Описание</i>	<i>Перезапуск (RESET)</i>	<i>Повторная загрузка</i>
<i>Регистр обмена данными между шинами</i>			
PX	Регистр PX	не определено	не определено
<i>Регистры состояния</i>			
IMASK	Разрешение обслуживания прерываний	0	0
ASTAT	Состояние арифметических устройств	0	0
MSTAT	Состояние режима	0	не изменяется
SSTAT	Состояние стеков	0x55	0x55
ICNTL	Управление прерываниями	не определено	не изменяется
IFC	Принудительная установка/сброс прерываний	0	0
<i>Регистры управления (отображенные в карте памяти)</i>			
BWAIT	Состояния ожидания памяти начальной загрузки	3	не изменяются
BPAGE	Загрузка страницы	0	не изменяется
SPORT1	Конфигурация	1	не изменяется
SPE1	SPORT1 доступен	0	не изменяется
DWAIT0-4	Состояния ожидания памяти данных	7	не изменяются
PWAIT	Состояние ожидания памяти программы	7	не изменяется

продолж. на след. стр.

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.3 (продолжение)

1	2	3	4
TCOUNT	Регистр счетчика таймера	не определено	продолжает работу во время перезагрузки
TPERIOD	Регистр периода таймера	не определено	не изменяется
TSCALE	Регистр масштабирования таймера	не определено	не изменяется
<i>Регистры управления последовательным портом 1</i>			
ISCLK	Внутренний тактовый генератор	0	не изменяется
RFSR, TFSR	Требуется кадровая синхронизация	0	не изменяются
RFSW, TFSW	Ширина импульса кадровой синхронизации	0	не изменяются
IRFS, ITFS	Внутренняя кадровая синхронизация	0	не изменяются
INVRFS, INVTFS	Инвертирование сигналов кадровой синхронизации	0	не изменяются
DTYPE	Тип и формат компримирования	0	не изменяется
SLEN	Длина последовательно передаваемого слова данных	0	не изменяется
SCLKDIV	Коэффициент деления тактовых синхроимпульсов	не определено	не изменяется
RFSDIV	Коэффициент деления сигналов RFS	не определено	не изменяется
RBUF, TBUF	Разрешение автобуферизации	0	0
TIREG, RIREG	Регистры I, используемые для автобуферизации	не определены	не изменяются
TMREG, RMREG	Регистры M, используемые для автобуферизации	не определены	не изменяются
F0	Значение флага FO	не определено	не изменяется

ИНТЕРФЕЙС СИСТЕМЫ 9

Таблица 9.4

Состояние регистров ADSP-2111 после перезапуска и повторной загрузки

Управляющая группа разрядов	Описание	Перезапуск (RESET)	Повторная загрузка
<i>Регистр обмена данными между шинами</i>			
PX	Регистр PX	не определено	не определено
<i>Регистры состояния</i>			
IMASK	Разрешение обслуживания прерываний	0	0
ASTAT	Состояние арифметических устройств	0	0
MSTAT	Состояние режима	0	не изменяется
SSTAT	Состояние стеков	0x55	0x55
ICNTL	Управление прерываниями	не определено	не изменяется
IFC	Принудительная установка/сброс прерываний	0	0
<i>Регистры управления (отображенные в карте памяти)</i>			
BWAIT	Состояния ожидания памяти начальной загрузки	3	не изменяется
BPAGE	Загрузка страницы	0	не изменяется
SPORT1	Конфигурация	1	не изменяется
SPE0	SPORT0 доступен	0	не изменяется
SPE1	SPORT1 доступен	0	не изменяется
DWAIT0-4	Состояния ожидания памяти данных	7	не изменяются
PWAIT	Состояние ожидания памяти программы	7	не изменяется
TCOUNT	Регистр счетчика таймера	не определено	продолжает работу во время перезагрузки
TPERIOD	Регистр периода таймера	не определено	не изменяется
TSCALE	Регистр масштабирования таймера	не определено	не изменяется

продолж. на след. стр.

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.4 (продолжение)

1	2	3	4
<i>Регистры управления последовательным портом (отображенные в карте памяти, один набор для каждого последовательного порта)</i>			
ISCLK	внутренний тактовый генератор	0	не изменяется
RFSR, TFSR	требуется кадровая синхронизация	0	не изменяется
RFSW, TFSW	ширина импульса кадровой синхронизации	0	не изменяется
IRFS, ITFS	внутренняя кадровая синхронизация	0	не изменяется
INVRFS, INVTFS	инвертирование сигналов кадровой синхронизации	0	не изменяется
DTYPE	тип и формат комбинирования	0	не изменяется
SLEN	длина последовательно передаваемого слова данных	0	не изменяется
SCLKDIV	коэффициент деления тактовых синхроимпульсов	не определено	не изменяется
RFSDIV	коэффициент деления сигналов RFS	не определено	не изменяется
<i>Биты, разрешающие многоканальные операции со словами данных</i>		<i>не определены</i>	<i>не изменяются</i>
MCE	разрешение многоканальных операций	0	не изменяется
MCL	длина слова при многоканальной передаче	0	не изменяется
MFD	задержка кадровой синхронизации при многоканальных операциях	0	не изменяется
INVTDV	инвертирование передаваемых данных	0	не изменяется
RBUF, TBUF	разрешение автобуферизации	0	0
TIREG, RIREG	регистры I, используемые для автобуферизации	не определено	не изменяется

продолж. на след. стр.

ИНТЕРФЕЙС СИСТЕМЫ 9

табл. 9.4 (продолжение)

TMREG, RMREG	регистры M, используемые для автобуферизации	не определены	не изменяются
FO (<i>только для SPORT1</i>)	Значение флага	не определено	не изменяется
<i>Регистры порта интерфейса хост-машины (отображенные в карте памяти)</i>			
HDR0-5	регистры данных ХИП	не определены	используются во время перезагрузки ХИП
HSR6	регистр состояния ХИП	0x0000	используется во время перезагрузки ХИП
HSR7	регистр состояния ХИП	0x0080	не изменяется
HMASK	разрешение прерываний ХИП	0	не изменяется

Таблица 9.5

Состояние регистров ADSP-2171 после перезапуска или повторной загрузки

<i>Управляющая группа разрядов</i>	<i>Описание</i>	<i>Перезапуск (RESET)</i>	<i>Повторная загрузка</i>
<i>Регистр обмена данными между шинами</i>	Регистр PX	не определено	не определено
<i>Регистры состояния</i>			
IMASK	разрешение обслуживания прерываний	0	0
ASTAT	состояние арифметических устройств	0	0
MSTAT	состояние режима	0	не изменяется
SSTAT	состояние стеков	0x55	0x55
ICNTL	управление прерываниями	не определено	не изменяется
IFC	принудительная установка/сброс прерываний	0	0

продолж. на след. стр.

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.5 (продолжение)

1	2	3	4
<i>Регистры управления (отображенные в карте памяти)</i>			
BWAIT	состояния ожидания начальной загрузки памяти	3	не изменяется
BPAGE	загрузка страницы	0	не изменяется
SPORT1	конфигурация	1	не изменяется
SPE0	SPORT0 доступен	0	не изменяется
SPE1	SPORT1 доступен	0	не изменяется
DWAIT0-4	состояния ожидания памяти данных	7	не изменяется
PWAIT	ожидание памяти программы	7	не изменяется
TCOUNT	регистр счетчика таймера	не определено	продолжает работу во время перезагрузки
TPERIOD	регистр периода таймера	не определено	не изменяется
TSCALE	регистр масштабирования таймера	не определено	не изменяется
ROMENABLE	бит активизации ПЗУ программы	0	не изменяется
PDFORCE	активизация режима пониженной мощности	0	не изменяется
PUCR	перезапуск при подаче питания	0	не изменяется
XTALDIS	вывод XTAL блокирован в режиме пониженной мощности	0	не изменяется
XTALDELAY	задержка перед выходом из режима пониженной мощности	0	не изменяется
<i>Регистры управления последовательным портом (отображенные в карте памяти, один набор для каждого последовательного порта)</i>			
ISCLK	внутренний тактовый генератор	0	не изменяется
RFSR, TFSR	требуется кадровая синхронизация	0	не изменяется

продолж. на след. стр.

ИНТЕРФЕЙС СИСТЕМЫ 9

табл. 9.5 (продолжение)

1	2	3	4
RFSW, TFSW	ширина импульса кадровой синхронизации	0	не изменяется
IRFS, ITFS	внутренняя кадровая синхронизация	0	не изменяется
INVRFS, INVTFS	инвертирование сигналов кадровой синхронизации	0	не изменяется
DTYPE	тип и формат компрессирования	0	не изменяется
SLEN	длина последовательно передаваемого слова данных	0	не изменяется
SCLKDIV	коэффициент деления тактовых синхроимпульсов	не определено	не изменяется
RFSDIV	коэффициент деления сигналов RFS	не определено	не изменяется
Биты, разрешающие многоканальные операции со словами данных		не определены	не изменяются
MCE	разрешение многоканальных операций	0	не изменяется
MCL	длина слова при многоканальной передаче	0	не изменяется
MFD	задержка кадровой синхронизации при многоканальных операциях	0	не изменяется
INVTDV	инвертирование передаваемых данных	0	не изменяется
RBUF, TBUF	разрешение автобуферизации	0	0
TIREG, RIREG	регистры I, используемые для автобуферизации	не определено	не изменяется
TMREG, RMREG	регистры M, используемые для автобуферизации	не определены	не изменяются
FO (только для SPORT1)	Значение флага	не определено	не изменяется

продолж. на след. стр.

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.5 (продолжение)

1	2	3	4
CLKODIS	Запрещение CLKOUT	0	не изменяется
BIASRND	Округление в умножителе-накопителе	0	не изменяется
<i>Регистры порта интерфейса хост-машины (отображенные в карте памяти)</i>			
HDR0-5	Регистры данных ХИП	не определены	используются во время пере- загрузки через ХИП
HSR6	Регистр состояния ХИП	0x0000	используется во время пере- загрузки через ХИП
HSR7	Регистр состояния ХИП	0x0080	не изменяется
HMASK	Разрешение прерываний ХИП	0	не изменяется

Таблица 9.6

Состояние регистров ADSP-2181 после перезапуска или повторной загрузки

Управляющая группа разрядов	Описание	Перезапуск (RESET)	Повторная загрузка
<i>Регистр обмена дан- ными между шинами</i>			
PX	Регистр PX	не определено	не определено
<i>Регистры состояния</i>			
IMASK	Разрешение обслуживания прерываний	0	0
ASTAT	Состояние арифметических устройств	0	0
MSTAT	Состояние режима	0	не изменяется
SSTAT	Состояние стеков	0x55	0x55
ICNTL	Управление прерываниями	не определен	не изменяется
IFC	Принудительная установка/ сброс прерываний	0	0
<i>Регистры управления (отображенные в карте памяти)</i>			
BWAIT	Состояния ожидания памяти начальной загрузки	3	не изменяется
BPAGE	Загрузка страницы	0	не изменяется
Конфигурация SPORT1	Конфигурация	1	не изменяется
SPE0	SPORT0 доступен	0	не изменяется

продолж. на след. стр.

ИНТЕРФЕЙС СИСТЕМЫ 9

табл. 9.6 (продолжение)

1	2	3	4
SPE1	SPORT1 доступен	0	не изменяется
DWAIT0-4	Состояния ожидания памяти данных	7	не изменяется
PWAIT	Состояние ожидания памяти программы	7	не изменяется
TCOUNT	Регистр счетчика таймера	не определено	продолжает работу во время перезагрузки
TPERIOD	Регистр периода таймера	не определено	не изменяется
TSCALE	Регистр масштабирования таймера	не определено	не изменяется
PDFORCE	Активизация режима пониженной мощности	0	не изменяется
PUCR	Перезапуск при подаче питания	0	не изменяется
XTALDIS	Вывод XTAL блокирован в режиме пониженной мощности	0	не изменяется
XTALDELAY	Задержка перед выходом из режима пониженной мощности	0	не изменяется
<i>Регистры управления последовательным портом (отображенные в карте памяти, один набор для каждого последовательного порта)</i>			
ISCLK	Внутренний тактовый генератор	0	не изменяется
RFSR, TFSR	Требуется кадровая синхронизация	0	не изменяются
RFSW, TFSW	Ширина импульса кадровой синхронизации	0	не изменяются
IRFS, ITFS	Внутренняя кадровая синхронизация	0	не изменяются
INVRFS, INVTFS	Инвертирование сигналов кадровой синхронизации	0	не изменяются
DTYPE	Тип и формат кодирования	0	не изменяется

продолж. на след. стр.

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.6 (продолжение)

1	2	3	4
SLEN	Длина последовательно передаваемого слова данных	0	не изменяется
SCLKDIV	Коэффициент деления тактовых синхроимпульсов	не определено	не изменяется
RFSDIV	Коэффициент деления сигналов RFS	не определено	не изменяется
Биты, разрешающие многоканальные операции со словами данных			
MCE	Разрешение многоканальных операций	0	не изменяется
MCL	Количество каналов при многоканальной передаче	0	не изменяется
MFD	Задержка кадровой синхронизации при многоканальных операциях	0	не изменяется
INVTDV	Инвертирование передаваемых данных	0	не изменяется
RBUF, TBUF	Разрешение автобуферизации	0	0
TIREG, RIREG	Регистры I, используемые для автобуферизации	не определены	не изменяются
TMREG, RMREG	Регистры M, используемые для автобуферизации	не определены	не изменяются
FO (только для SPORT1)	Значение флага	не определено	не изменяется
<i>Внешние регистры управления памятью (не отображены в карте памяти)</i>			
DMOVLAY	Выбор оверлейной памяти данных	0	не изменяется
PMOVLAY	Выбор оверлейной памяти программы	0	не изменяется

продолж. на след. стр.

ИНТЕРФЕЙС СИСТЕМЫ 9

табл. 9.6 (продолжение)

1	2	3	4
<i>Отображенные в карте памяти</i>			
DWAIT	Состояния ожидания оверлейной памяти данных	0x7	не изменяется
PWAIT	Состояние ожидания оверлейной памяти программы	0x7	не изменяется
BMWAIT	Состояния ожидания порта BDMA	0x7	не изменяется
IOWAIT0-3	Состояния ожидания памяти ввода/вывода	0x7	не изменяются
CMSSEL	Выбор композитной памяти	0xB	не изменяется
<i>Программируемые регистры управления и флагов данных (отображенные в карте памяти)</i>			
PFDATA	Программируемый флаг данных	не определен	не изменяется
PFTYPE	Программируемое направление флага	0	не изменяется
<i>Регистры управления прямым доступом к памяти</i>			
IDMAA	Адрес внутренней памяти при внутреннем прямом доступе к памяти	0x00	не изменяется
IDMAD	Тип памяти назначения при внутреннем прямом доступе к памяти	0	не изменяется
BIAD	Адрес внутренней памяти при прямом побайтовом доступе к памяти	0	0x20*
BEAD	Адрес внешней памяти при прямом побайтовом доступе к памяти	0	0x60*
BTYPE	Тип передаваемого слова при прямом побайтовом доступе к памяти	0	не изменяется
BDIR	Направление передачи при прямом побайтовом доступе к памяти	0	не изменяется

продолж. на след. стр.

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.6 (продолжение)

1	2	3	4
BCR	Перезапуск при прямом побайтовом доступе к памяти	1	не изменяется
BWCOUNT	Счетчик слов при прямом побайтовом доступе к памяти	0x20	0*
BMPAGE	Страница внешней побайтовой памяти	0	0*

* Данные значение предполагают, что начальная загрузка ADSP-2181 при прямом доступе к побайтовой памяти только что завершилась (MMAP=0, BMODE=0). Более подробная информация о содержимом регистра BDMA во время процесса начальной загрузки содержится в табл. 9.8. Эти значения будут изменяться в процессе повторной (не начальной) загрузки процессора, поскольку они зависят от предыдущих значений.

Таблица 9.7

Состояние регистров ADSP-21msp58/59 после перезапуска или повторной загрузки

Управляющая группа разрядов	Описание	Перезапуск (RESET)	Повторная загрузка
Регистр обмена данными между шинами			
PX	Регистр PX	не определен	не определен
Регистры состояния			
IMASK	Разрешение обслуживания прерываний	0	0
ASTAT	Состояние арифметических устройств	0	0
MSTAT	Состояние режима	0	не изменяется
SSTAT	Состояние стеков	0x55	0x55
ICNTL	Управление прерываниями	не определено	не изменяется
IFC	Принудительная установка/сброс прерываний	0	0
Регистры управления (отображенные в карте памяти)			
BWAIT	Состояния ожидания памяти начальной загрузки	3	не изменяется

продолж. на след. стр.

ИНТЕРФЕЙС СИСТЕМЫ 9

табл. 9.7 (продолжение)

1	2	3	4
BPAGE	Загрузка страницы	0	не изменяется
Конфигурация SPORT1	Конфигурация	1	не изменяется
SPE0	SPORT0 доступен	0	не изменяется
SPE1	SPORT1 доступен	0	не изменяется
DWAIT0-4	Состояния ожидания памяти данных	7	не изменяются
PWAIT	Состояние ожидания памяти программы	7	не изменяется
TCOUNT	Регистр счетчика таймера	не определено	продолжает работу во время перезагрузки
TPERIOD	Регистр периода таймера	не определено	не изменяется
TSCALE	Регистр масштабирования таймера	не определено	не изменяется
ROMENABLE	Бит активизации ПЗУ программы	0	не изменяется
PDFORCE	Активизация режима пониженной мощности	0	не изменяется
PUCR	Перезапуск при подаче питания	0	не изменяется
XTALDIS	Блокирование вывода XTAL в режиме пониженной мощности	0	не изменяется
XTALDELAY	Задержка перед выходом из режима пониженной мощности (4096 циклов)	0	не изменяется
<i>Регистры управления последовательным портом (отображенные в карте памяти, один набор для каждого последовательного порта)</i>			
ISCLK	Внутренний тактовый генератор	0	не изменяется
RFSR, TFSR	Требуется кадровая синхронизация	0	не изменяются
RFSW, TFSW	Ширина импульса кадровой синхронизации	0	не изменяются
IRFS, ITFS	Внутренняя кадровая синхронизация	0	не изменяются

продолж. на след. стр.

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.7 (продолжение)

1	2	3	4
INVRFS, INVTFS	Инвертирование сигналов кадровой синхронизации активными по низкому или высокому уровню	0	не изменяются
DTYPE	Тип и формат компандирования	0	не изменяется
SLEN	Длина последовательно передаваемого слова данных	0	не изменяется
SCLKDIV	Коэффициент деления тактовых синхроимпульсов	не определено	не изменяется
RFSDIV	Коэффициент деления сигналов RFS	не определено	не изменяется
Биты, разрешающие многоканальные операции со словами данных		не определены	не изменяются
MCE	Разрешение многоканальных операций	0	не изменяется
MCL	Количество каналов при многоканальной передаче	0	не изменяется
MFD	Задержка кадровой синхронизации при многоканальных операциях	0	не изменяется
INVTDV	Инвертирование передаваемых данных	0	не изменяется
RBUF, TBUF	Разрешение автобуферизации	0	0
TIREG, RIREG	Регистры I, используемые для автобуферизации	не определены	не изменяются
TMREG, RMREG	Регистры M, используемые для автобуферизации	не определены	не изменяются
FO (только SPORT1)	Значение флага	не определено	не изменяется
CLKODIS	Блокирование выходного сигнала CLKOUT	0	не изменяется
BIASRND	Округление в множителе-накопителе	0	не изменяется

продолж. на след. стр.

ИНТЕРФЕЙС СИСТЕМЫ 9

табл. 9.7 (продолжение)

1	2	3	4
<i>Регистры порта интерфейса хост-машины (отображенные в карте памяти)</i>			
HDR0-5	Регистры данных ХИП	не определены	используются во время перезагрузки через ХИП
HSR6	Регистр состояния ХИП	0x0000	используется во время перезагрузки через ХИП
HSR7	Регистр состояния ХИП	0x0080	не изменяется
HMASK	Разрешение прерываний ХИП	0	не изменяется
<i>Регистры автобуферизации/пониженной мощности аналогового интерфейса</i>			
ARBUF	Разрешение автобуферизации приема	0	0
ATBUF	Разрешение автобуферизации передачи	0	0
управляющие биты	Биты управления автобуферизацией данных аналогового интерфейса	0	не изменяются

9.4.1 Состояние регистров процессора ADSP-2181 во время загрузки через порт BDMA

Состояние некоторых регистров процессора ADSP-2181 во время перезапуска и повторной начальной загрузки зависит от состояния выводов ММАР и BMODE. Если эти выводы установлены для повторной загрузки через порт прямого побайтового доступа к памяти (BDMA), то все регистры порта BDMA изменяют свои значения так, как показано в табл. 9.8.

9.5 ВНЕШНИЕ ПРЕРЫВАНИЯ

Каждый процессор семейства ADSP-2100 поддерживает одно или более приоритетных индивидуально маскируемых внешних прерываний, которые могут срабатывать либо по фронту либо по уровню входного сигнала. Выводы запросов на прерывание называются $\overline{IRQ0}$, $\overline{IRQ1}$ и $\overline{IRQ2}$. Выводы $\overline{IRQ0}$ и $\overline{IRQ1}$ доступны

9 ИНТЕРФЕЙС СИСТЕМЫ

Таблица 9.8

Значения регистров порта BDMA до и после начальной загрузки

<i>Регистр</i>	<i>Описание*</i>	<i>До загрузки</i>	<i>После загрузки</i>
BIAD	Адрес внутренней памяти при прямом побайтовом доступе к памяти. Установлен на 0.	0	0x20
BEAD	Адрес внешней памяти при прямом побайтовом доступе к памяти. Установлен на 0.	0	0x60
BTYPE	Тип передаваемого слова при прямом побайтовом доступе к памяти. Установлен для 24-битовых слов памяти программы.	0	0
BDIR	Направление передачи при прямом побайтовом доступе к памяти. Установлен для передачи данных из побайтовой памяти.	0	0
BMPAGE	Выбор страницы при прямом побайтовом доступе к памяти. Указывает на нулевую страницу побайтовой памяти.	0	0
BWCOUNT	Счетчик слов при прямом побайтовом доступе к памяти. Установлен для передачи 32 слов.	0x20	0
BMWAIT	Состояния ожидания порта BDMA. Установлен на 7 состояний ожидания.	0x7	0x7
BCR	Перезапуск при прямом побайтовом доступе к памяти**.	1	1

- При допущении, что MMAP=0 и BMODE=0 для загрузки через порт BDMA.

** Установлен равным 1 для а) задержки выполнения команды во время передачи через порт BDMA, б) для начала выполнения программы по адресу PM(0x0000) после передачи через порт BDMA, с) чтобы прерывание порта BDMA оставалось отложенным. Эта последовательность событий происходит, когда регистр BCR устанавливается до записи в регистр BWCOUNT, или после начальной загрузки.

ИНТЕРФЕЙС СИСТЕМЫ 9

только при альтернативной (произвольной) конфигурации последовательного порта SPORT1. Конфигурация SPORT1 в качестве либо последовательного порта, либо входа прерываний (и флагов) задается битом 10 в регистре управления системой процессора.

В процессоре ADSP-2181 имеются два специальных вывода для прерываний, срабатывающих по уровню, и один вывод для прерываний, срабатывающих по фронту: \overline{IRQLO} , $\overline{IRQL1}$ и $\overline{IRQL2}$, соответственно.

Внутренние прерывания, к которым относятся прерывания последовательного порта, таймера, порта интерфейса хост-машины, порта прямого доступа к данным и аналогового интерфейса, обсуждались в других главах. Дополнительная информация о маскировании, установке и срабатывании прерываний содержится в главе 3 "Управление программой".

9.5.1 Запуск прерываний

Отдельные внешние прерывания могут быть сконфигурированы в регистре ICNTL как срабатывающие по уровню или по фронту входного сигнала.

Прерывания по уровню срабатывают, когда линия запроса на прерывание (\overline{IRQx}) удерживается в активном состоянии до опознавания запроса процессором. После опознавания запроса линия освобождается до маскирования прерывания, чтобы оно не было обслужено дважды.

Прерывания по фронту, напротив, фиксируются каждый раз, когда на линии прерывания имеет место изменение уровня сигнала от высокого к низкому. Процессор фиксирует прерывания таким образом, что линия прерывания может удерживаться на любом уровне в течение произвольного периода времени между прерываниями. После обслуживания прерывания эта фиксация автоматически снимается. Для прерываний, срабатывающих по фронту, требуется меньше внешних аппаратных средств, чем для прерываний по уровню, так как нет никакой необходимости поддерживать или отрицать запрос. Однако, в случае прерываний по уровню, несколько устройств могут использовать один вход запроса на прерывания, что, в свою очередь, дает возможность легкого расширения системы.

Запрос на прерывание обслуживается в случае, когда, во-первых, это прерывание не маскируется (в регистре IMASK) и, во-вторых, не имеется отложенного запроса с высшим приоритетом. Действительные (достоверные) запросы на прерывание запускают подпрограмму обслуживания прерывания, для выполнения которой процессор обращается к соответствующему адресу вектора прерывания. Адреса векторов прерывания для каждого процессора семейства

9 ИНТЕРФЕЙС СИСТЕМЫ

даны в Приложении D. Как линии запроса на внешнее прерывание, так и внутренние прерывания могут иметь задержку синхронизации.

Если запрос на прерывание приходит, когда процессор находится в состоянии ожидания при доступе к внешней памяти или выполняет команду, требующую неоднократного обращения к внешней памяти и, следовательно дополнительных циклов для своего выполнения, этот запрос не опознается между такими циклами, а только до или после них. Во время предоставления шины (\overline{BG}) прерывания фиксируются, но не обслуживаются, если только не активизирован режим GO.

Для обслуживания прерывания процессор должен выполнить команды соответствующей программы. Для приостановки работы процессора на время ожидания прерывания можно использовать команду IDLE.

Прерывания, срабатывающие по фронту и уровню, обслуживаются одинаковым образом. Прерывания, срабатывающие по фронту, могут оставаться активными (по низкому уровню) в течение неопределенного периода времени, в то время как прерывания, срабатывающие по уровню, должны сниматься перед выполнением команды RTI; иначе немедленно повторится то же самое прерывание.

Особо внимательным следует быть при работе с прерываниями последовательного порта с альтернативной конфигурацией (т.е. $\overline{IRQ0}$ и $\overline{IRQ1}$). Если ввод RFS1 или TFS1 удерживается активным по низкому уровню во время задания такой конфигурации последовательного порта, то может быть сгенерирован запрос на прерывание. Этот запрос может сбрасываться битами в регистре IFC.

9.6 ВЫВОДЫ ФЛАГОВ

Во всех процессорах семейства имеются выводы флагов. Альтернативная конфигурация последовательного порта включает вывод "вход флага" (FI) и вывод "выход флага" (FO). Конфигурация SPORT1 как последовательного порта или как флагов и прерываний задается путем установки бита 10 в регистре управления системой процессора.

FI может применяться для управления условным ветвлением программы, когда условия IF FLAG_IN и IF NOT FLAG_IN используются в командах условного перехода JUMP и вызова CALL. Эти условия проверяются по последнему состоянию вывода FI; условие FLAG_IN истинно, если при последнем замере FI была получена 1, и является не истинным, если был получен 0. FO может использоваться в качестве неспециализированного внешнего сигнала. Состояние

ИНТЕРФЕЙС СИСТЕМЫ 9

вывода FO доступно для оценки через бит (только для считывания) в регистре управления SPORT1.

В каждом из процессоров ADSP-2111, ADSP-2171 и ADSP-21msp58/59 имеется три дополнительных вывода флагов: FL0, FL1 и FL2. Эти флаги (как и FO) могут управляться программными средствами и указывать на события или условия какому-либо внешнему устройству, например, хост-машине. Команда модификации вывода флага (по условию) может выполнять установку (SET), сброс (RESET) и переключение вывода как тумблера (TOGGLE) - эта команда позволяет выполняемой цифровым сигнальным процессором программе управлять состояниями выводов флагов процессора. Обратите внимание, что, в отличие от других команд с условием IF CE, значение счетчика не декрементируется, когда CE (счетчик пуст) используется как условие выполнения команды модификации вывода флага.

При перезапуске на выводах флагов FL0, FL1 и FL2 устанавливается 1. Состояние вывода FO (выход флага) при перезапуске не изменяется.

Процессор ADSP-2181 имеет восемь дополнительных неспециализированных выводов флагов, PF7-0. Эти флаги могут быть запрограммированы на ввод и на вывод; после перезапуска они по умолчанию устанавливаются на ввод. Управление выводами PFx осуществляется при помощи двух отображенных в карте памяти регистров. Регистр управления программируемыми флагами и выбором композитной памяти определяет направление флага: 1 = вывод, 0 = ввод. Регистр данных программируемых флагов используется для записи и считывания значений на этих выводах. Данные, считанные с вывода, запрограммированного на ввод, синхронизируются с тактовыми синхросигналами процессора. На выводы, запрограммированные на вывод, подается соответствующее выходное значение. При считывании значения из регистра PFDATA выходное значение, которое подается на запрограммированный на вывод флага, считывается обратно.

Управление программируемыми флагами и выбором составной памяти

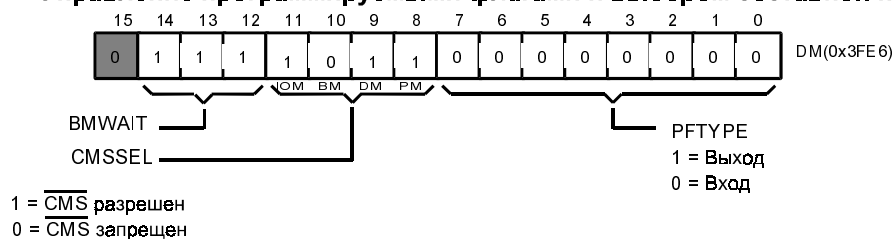


Рис.9.4 Регистр управления программируемыми флагами и выбором композитной памяти (ADSP-2181)

9 ИНТЕРФЕЙС СИСТЕМЫ

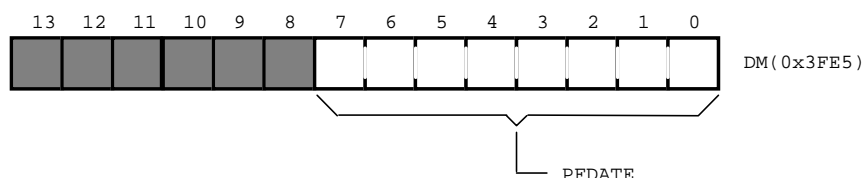


Рис.9.5 Регистр данных программируемых флагов (ADSP-2181)

9.7 РЕЖИМ ПОНИЖЕННОЙ ПОТРЕБЛЯЕМОЙ МОЩНОСТИ

Процессоры ADSP-2171, ADSP-2181 и ADSP-21msp58/59 обладают режимом пониженной мощности, что позволяет процессору входить в состояние низкого энергопотребления под управлением программных или аппаратных средств. В этом состоянии потребление энергии составляет менее 1 мВт (приблизительно). Более точные данные о потреблении энергии процессорами семейства даны в их технических описаниях.

Данное свойство оказывается полезным при работе устройства от одноразовых элементов питания или аккумуляторов и во всех других случаях, когда необходимо сбережение энергии. При пониженном режиме питания:

- блокируются внутренние тактовые синхроимпульсы;
- сохраняется содержимое регистров и памяти процессора;
- процессор способен выходить из состояния пониженной потребляемой мощности менее, чем за 100 циклов тактового генератора;
- внутренний генератор может блокироваться, когда используется кварцевый резонатор;
- нет необходимости отключать тактовый генератор, если используется внешний генератор;
- для выполнения программы дежурного режима перед входом и после выхода из состояния пониженной мощности осуществляется поддержка прерываний;
- пользователь может выбрать контекст подачи питания.

Несмотря на то, что процессор находится в режиме пониженной мощности, при несоблюдении определенных требований минимальный уровень потребле

ИНТЕРФЕЙС СИСТЕМЫ 9

ния энергии не может быть достигнут. При минимально возможном уровне потребления энергии через выводы процессора не должен поступать дополнительный ток, а на активных входных выводах не должно быть переключений. Следовательно, требуется внимательный анализ нагрузки в вашей цепи. В следующих разделах подробно рассказывается о правильной процедуре входа и выхода процессора из режима пониженной мощности, а также даются рекомендации, как правильно соединить внешние выводы с тактовым генератором для оптимального функционирования процессора в этом состоянии.

9.7.1 Управление понижением мощности

Управление некоторыми параметрами операции понижения мощности может осуществляться при помощи управляющих бит в регистре управления автобуферизацией /пониженной мощностью. Этот регистр отображен в карте памяти по адресу 0x3FEF и показан на рис. 9.6.

9.7.2 Вхождение в состояние пониженной мощности

При вхождении процессора в состояние пониженной мощности выполняется следующая последовательность действий.

- Запуск режима пониженной мощности за счет изменения уровня сигнала на выводе PWD от высокого к низкому или при помощи установки бита управления режимом пониженной мощности в регистре автобуферизации/ пониженной мощности (отображен в карте памяти по адресу 0x3FEF, бит 13).

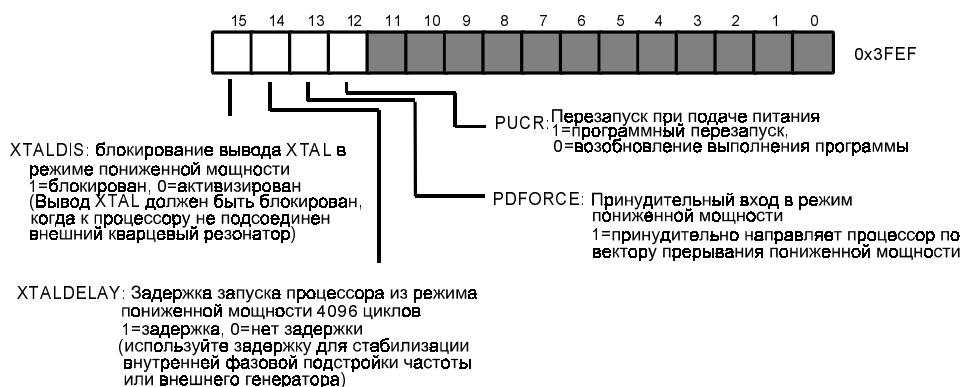


Рис. 9.6 Регистр управления автобуферизацией аналогового интерфейса/пониженной мощностью

9 ИНТЕРФЕЙС СИСТЕМЫ

- Процессор переходит к вектору немаскируемого прерывания пониженной мощности по адресу 0x002C. **Примечание:** прерывание пониженной мощности никогда не маскируется. Следует быть очень осторожным, чтобы не допустить сразу несколько прерываний пониженной мощности, иначе может произойти переполнение стека. Несколько прерываний пониженной мощности могут произойти, когда во время обслуживания такого прерывания на ввод PWD подается последовательность импульсов, или когда имеются значительные шумы.
- Любое число организующих команд, начинающихся по адресу 0x002C, может быть выполнено до вхождения процессора в режим пониженной мощности. Как правило, эта часть кодов команд используется для задания конфигурации устройств в режиме пониженной мощности, блокировки (вывода из работы) таких устройств на кристалле, как аналоговый интерфейс, а также сброса отложенных прерываний.
- Процессор входит в режим пониженной мощности во время выполнения команды IDLE. В зависимости от состояний внутреннего тактового генератора во время выполнения команды IDLE вход в этот режим может занять один или два цикла. Когда процессор находится в режиме пониженной мощности, содержимое всех регистров и памяти сохраняется. Кроме того, все активные прерывания удерживаются в том же состоянии, в каком они находились до вхождения в этот режим.

Если перед командой IDLE выполняется команда RTI, процессор возвращается из программы обслуживания прерывания пониженной мощности, а приведенная выше последовательность действий прерывается.

Находясь в состоянии пониженной мощности, процессор работает в режиме КМОП, что обеспечивает самый низкий уровень потребления энергии, при котором большинство входных сигналов игнорируется. Для достижения более низкого потребления энергии необходимо удерживать активные входные сигналы на уровнях КМОП. См. об этом более подробно в разделе 9.8.5 "Работа процессора в режиме пониженной мощности".

9.7.3 Выход из состояния пониженной мощности

Из режима пониженной мощности можно выйти при помощи изменения уровня сигнала на выводе PWD или при перезапуске. Кроме того, имеется несколько выбираемых пользователем режимов запуска процессора из состояния пониженной мощности, которые определяют задержку такого запуска и последовательность программы после него. Таким образом, становится возможным возобновление выполнения программы с того места, где оно прервалось в связи с вхождением в режим пониженной мощности, или очистки контекста программы.

ИНТЕРФЕЙС СИСТЕМЫ 9

9.7.3.1 Выход из режима пониженной мощности с использованием вывода PWD

Изменение уровня сигнала на выводе PWD от низкого к высокому выводит процессор из режима пониженной мощности. У пользователя имеется возможность выбора времени выхода процессора из данного режима путем установки бита управления задержкой запуска процессора из состояния пониженной мощности (бит 14 в регистре управления пониженной мощностью XTALDELAY). Если этот бит сбрасывается в 0, в течение быстрого запуска (100 циклов) не вводится никакой дополнительной задержки. Когда значение этого бита равно 1, вводится задержка в 4096 циклов. Эта дополнительная задержка используется в зависимости от состояния внешнего тактового генератора во время подачи питания или в случае блокирования внутреннего тактового генератора. Об этом еще будет рассказано в разделах "Системы, в которых используется внешняя ТТЛ-схема/тактовый генератор КМОП" и "Системы, в которых используется внутренний генератор".

На программном уровне можно также выбрать один из двух возможных способов выхода процессора из режима пониженной мощности. Контекст для выхода из режима пониженной мощности задается при помощи установки бита 12 (бит перезапуска при подаче питания) в регистре управления пониженной мощностью.

Если бит перезапуска при подаче питания равен 0, процессор продолжит выполнение команд, идущих за командой IDLE. Например, изменение уровня сигнала от высокого к низкому на выводе PWD заставляет процессор перейти к подпрограмме обслуживания прерывания пониженной мощности. В этой подпрограмме выполняются несколько организующих задач и команда IDLE. Процессор переходит в состояние пониженной мощности. Позже изменение уровня сигнала от низкого к высокому на выводе PWD выводит процессор из этого состояния. Так как бит перезапуска при подаче питания установлен равным 0, процессор возобновляет выполнение команд в подпрограмме обслуживания прерывания пониженной мощности, начиная с команды, следующей за вызвавшей понижение мощности командой IDLE. По достижению команды RTI управление вновь передается главной программе.

Если бит перезапуска при подаче питания установлен равным 1, процессор возобновляет работу, начиная с очистки содержимого стеков PC (счетчика команд), STATUS (состояний), LOOP (циклов) и CNTR (счетчика). Биты в регистрах IMASK и ASTAT устанавливаются равными нулю, а в SSTAT содержится значение 0x55. Процессор начинает выполнение команд начиная с нулевого адреса.

9 ИНТЕРФЕЙС СИСТЕМЫ

9.7.3.2 Выход из режима пониженной мощности с использованием вывода RESET

При выставлении сигнала RESET в то время, как процессор находится в состоянии пониженной мощности, происходит перезапуск процессора, после которого выполняются все команды, начиная с адреса 0x0000. Если при этом на выводе MMAP установлен 0, то происходит повторная начальная загрузка. В случае использования вывода RESET для выхода из состояния пониженной мощности следует удерживать сигнал перезапуска низким по уровню в течении требуемого числа циклов. Если тактовый генератор останавливается при подаче питания или начинает работать с частотой отличной от той, с которой он работал до понижения мощности, сигнал RESET должен удерживаться достаточно длительное время для стабилизации работы генератора и для установления фазовой автоподстройки частоты, которая требует еще 1000 циклов. Время, необходимое для стабилизации генератора, зависит от типа используемого кварцевого резонатора и электрической емкости схемы внешнего кварцевого генератора. Обычно на стабилизацию тактового генератора отводят 2000 циклов.

Если тактовый генератор при подаче питания не остановился и работает с постоянной частотой (той же, что и до входа в состояние пониженной мощности), RESET должен удерживаться в течение всего 5 циклов.

При выходе из состояния пониженной мощности с использованием сигнала RESET бит управления задержкой запуска из режима пониженной мощности игнорируется.

9.7.4 Время запуска после нахождения процессора в состоянии пониженной мощности

Время, необходимое для выхода из состояния пониженной мощности, зависит от того, используется ли внешний или внутренний генератор, а также от способа выхода из данного состояния.

9.7.4.1 Системы, в которых используется внешняя ТТЛ-схема/тактовый генератор КМОП

Когда процессор находится в состоянии пониженной мощности, внешние сигналы тактовой синхронизации игнорируются. Следовательно, нет необходимости останавливать внешний тактовый генератор, тем более, что его работа не требует затрат энергии процессора. Если такая необходимость все же возникает, внешний тактовый генератор должен продолжать работу в течение (по крайней мере) одного цикла после выполнения команды IDLE.

Бит 15, XTALDIS, в регистре управления пониженной мощностью (управление выводом XTAL при пониженной мощности) должен быть установлен

ИНТЕРФЕЙС СИСТЕМЫ 9

до входа в этот режим. Это означает, что данный вывод не должен управляться процессором. При использовании внешнего генератора никакой необходимости управлять выводом XTAL нет. Блокировка управления XTAL позволяет уменьшить энергозатраты.

После того, как процессор выходит из режима пониженной мощности при использовании вывода PWD либо сигнала RESET, он начинает выполнять команды после максимально возможного времени запуска продолжительностью в 100 циклов, пока тактовый генератор не заработает стабильно и с той же частотой, что и до понижения мощности.

Если внешний тактовый генератор после выхода из режима пониженной мощности работает нестабильно, можно установить бит управления задержкой запуска при выходе из режима пониженной мощности. При этом вводится дополнительная задержка в 4096 циклов, которая дает время для стабилизации работы внешнего тактового генератора до начала выполнения команд процессором. Задержка запуска может использоваться только, когда процессор выводится из состояния пониженной мощности при помощи вывода PWD.

Если же процессор выводится из состояния пониженной мощности при помощи сигнала RESET, и тактовый генератор работает стабильно и с той же частотой, что и до входа процессора в это состояние, сигнал RESET должен удерживаться в течение всего 5 циклов.

9.7.4.2 Системы, в которых используется внешний кварцевый резонатор и внутренний генератор процессора

Компромиссным решением может быть быстрый запуск с увеличением потребления энергии за счет невыключения генератора, пока процессор находится в состоянии пониженной мощности. Если быстрый запуск процессора является желательным, следует очистить биты 14 и 15 в регистре управления пониженной мощностью (т.е. они становятся равными 0) до того, как процессор войдет в этот режим. При такой установке для запуска процессора после его выхода из режима пониженной мощности не требуется никакой дополнительной задержки, а внешний кварцевый генератор не прекращает работать, когда процессор входит в указанный режим. При данной конфигурации генератор продолжит работу, а процессор начнет выполнение команд менее, чем через 100 циклов после изменения уровня сигнала на выводе PWD от низкого к высокому. Вывод XTAL будет также приведен в действие, и потребление энергии будет выше, чем указанный в спецификации 1 мВт. Ниже приводится фрагмент подпрограммы обслуживания прерывания пониженной мощности (в кодах).

9 ИНТЕРФЕЙС СИСТЕМЫ

{Пример программы прерывания пониженной мощности}

{Расположена по адресу 0x002C}

```
    p w d _ i n t :   a x 0 = 0 x 0 0 0 0 ; {разрешение работы тактового}
                      d m ( 0 x 3 F E F ) = a x 0 ; {генератора, нет задержки}
                      i d l e ;
                      r t i ;
```

Если же требуется минимальный возможный уровень потребления энергии, то до того, как процессор войдет в состояние пониженной мощности, следует установить биты 14 и 15 в регистре управления пониженной мощностью равными 1. При такой установке для начала работы генератора и для фазовой автоматической подстройки частоты при запуске процессора потребуется 4096 дополнительных циклов, зато вывод XTAL блокируется на время, пока процессор будет находиться в состоянии пониженной мощности. Ниже приводится подпрограмма обслуживания прерывания пониженной мощности.

{Пример программы прерывания пониженной мощности}

{Расположена по адресу 0x002C}

```
    p w d _ i n t :   a x 0 = 0 x C 0 0 0 ; {запрещение работы тактового}
                      d m ( 0 x 3 F E F ) = a x 0 ; {генератора, задержка}
                      i d l e ;
                      r t i ;
```

В зависимости от конкретной ситуации и внешних относительно системы условий, приведенные выше режимы могут устанавливаться по условию. Если процессор будет долго находиться в состоянии пониженной мощности, естественно будет установить режим, при котором потребление энергии сводится к минимуму. Если процессор будет недолго находиться в таком состоянии, то минимизация потребления энергии не так важна.

Если для выхода из состояния пониженной мощности используется вывод RESET и работа тактового генератора останавливается, то сигнал RESET должен удерживаться низким по уровню в течении 1000 циклов тактового генератора плюс время, необходимое для установления фазовой автоматической подстройки частоты и стабилизации работы кварцевого генератора (обычно 2000

ИНТЕРФЕЙС СИСТЕМЫ 9

циклов). Если во время подачи энергии тактовый генератор работает, сигнал RESET должен удерживаться в течение всего 5 циклов.

9.7.5 Работа процессора в режиме пониженной мощности

Некоторые схемы процессора, а также некоторые его внешние выводы, могут оставаться активными в режиме пониженной мощности. Понимание этих состояний позволит вам определить наилучшую конфигурацию системы при пониженной мощности. Самое низкое потребление энергии может быть достигнуто, когда выходная нагрузка и входные переключения сведены к минимуму.

9.7.5.1 Прерывания и флаги

Прерывания фиксируются, но не могут быть обслужены до тех пор, пока процессор не выйдет из режима пониженной мощности без перезапуска (PUCR=1). Любая активность на выводах прерываний или флагов увеличит потребление энергии. Если требуется минимальное потребление энергии, на выводах флагов (как и на всех других активных выводах) не должно быть никаких резистивных нагрузок.

9.7.5.2 Последовательные порты

Режим пониженной мощности лишь косвенно затрагивает электрическую схему последовательных портов в тех случаях, когда требуются внутренние сгенерированные импульсы SCLK или сигналы кадровой синхронизации. При пониженной мощности последовательные порты продолжают функционировать.

В режиме пониженной мощности можно синхронизировать данные во время их передачи в и из последовательных портов. Для поддержания работы портов в режиме пониженной мощности следует обеспечить подачу внешних тактовых синхроимпульсов. Прерывания последовательных портов или автобуферизация данных не обслуживаются в режиме пониженной мощности. Вместо этого прерывания фиксируются и могут быть обслужены, если процессор выходит из режима пониженной мощности без перезапуска. Переданные на процессор данные останутся при этом в регистрах приема (RX). Если при выходе из режима пониженной мощности процессор запускается не при помощи сигнала RESET, то пересылки данных с использованием автобуферизации снова станут возможными. Обратите внимание, что любые действия последовательного порта в то время, как процессор находится в режиме пониженной мощности, увеличат потребление энергии выше определенного в спецификации уровня (1 мВт).

9 ИНТЕРФЕЙС СИСТЕМЫ

Если при пониженной мощности на последовательные порты подаются внешние тактовые синхроимпульсы и сигналы кадровой синхронизации, то синхронизированные с их помощью данные могут пересылаться в регистр RX или из регистра TX. Так как содержимое регистра TX не может обновляться, когда процессор находится в состоянии пониженной мощности, последовательный порт повторно передает одно и то же значение данных. В свою очередь, так как процессор не может считать содержимое регистра RX в режиме пониженной мощности, данные, содержащиеся в этом регистре, постоянно перезаписываются.

Когда внешний тактовый генератор используется одновременно с внутренними сигналами кадровой синхронизации, последние по-прежнему генерируются в режиме пониженной мощности, так как формируются из тактовых синхроимпульсов. Продолжается прием битов данных, и содержимое регистра RX каждый раз перезаписывается. Так как передача данных осуществляется только при записи в регистр TX, то биты данных будут передаваться из процессора только в том случае, если процессор вошел в режим пониженной мощности во время их передачи последовательным портом. При этом разрешено завершение передачи содержимого последовательного порта, на момент которой приходилось вхождение процессора в состояние пониженной мощности. Благодаря использованию внутренних сигналов кадровой синхронизации, в режиме пониженной мощности не генерируются сигналы кадровой синхронизации передачи.

При использовании внутреннего тактового генератора в режиме пониженной мощности последовательные порты не работают; внутренние тактовые синхроимпульсы не генерируются.

Самый низкий уровень рассеяния мощности достигается, когда состояние активных выводов последовательных портов не изменяются в режиме пониженной мощности, а напряжение удерживается на уровнях КМОП.

9.7.5.3 Работа ХИП в режиме пониженной мощности

Понижение потребляемой мощности не влияет напрямую на электрическую схему ХИП, но затрагивает ее косвенным образом, так как процессор не способен, находясь в данном состоянии, обслуживать прерывания или записывать и считывать содержимое регистров данных ХИП. При пониженной мощности электрическая схема ХИП продолжает нормально работать.

При пониженной мощности хост-машина может по-прежнему записывать данные в регистры ХИП, однако процессор не доступен и не может обслуживать прерывания. Поэтому прерывания ХИП просто фиксируются, чтобы их можно было обслужить после выхода процессора из состояния пониженной мощности без перезапуска процессора.

ИНТЕРФЕЙС СИСТЕМЫ 9

При неустановленном бите перезаписи HDR (бит 7 в регистре HSR7) сигнал подтверждения записи для хост-машины не выставляется до тех пор, пока процессор не считает данные, записанные хост-машиной. Так как при пониженной мощности процессор не может считать регистр данных, этот сигнал хост-машине так и не выставляется. Особого внимания при этом требуют системы, в которых хост-машина ожидает такого сигнала. В последнем случае хост-машина может просто "зависнуть" ожидая подтверждения, пока процессор находится в состоянии пониженной мощности.

Процессор, находящийся в состоянии пониженной мощности, можно перезапустить, используя для этого бит перезапуска программы в регистре HSR. Результат будет тот же самый, что и при удерживании RESET в течение пяти циклов (минимальный импульс RESET). Однако программный перезапуск не может применяться в режиме, когда используется внешний кварцевый резонатор: внутренний тактовый генератор останавливается, в этом случае, пяти циклов окажется недостаточно для перезапуска. Обратите внимание, что любые действия ХИП увеличат потребление энергии сверх указанного в спецификации 1 мВт.

Два вывода режима (HMD0 и HMD1) используются для ввода ХИП в один из четырех возможных режимов. В случае, когда HMD0=1, шина данных ХИП сконфигурирована как мультиплексированная шина адреса и данных, все входные данные этой шины остаются активными в режиме пониженной мощности, но работа этой шины приводит к увеличению рассеяния мощности. Кроме того, входные данные должны быть на уровне КМОП. Если данный режим используется, когда имеется возможность отключения шины (перехода ее выводов в третье состояние), на линиях данных следует установить смещающие резисторы. Если желательно, чтобы хост-машина могла общаться с другими устройствами по шине, в то время как процессор находится в режиме пониженной мощности, для избежания дополнительных потерь мощности следует поддерживать низкое напряжение на выводе HMD0. Подобных проблем не возникает, когда ХИП находится в других режимах, при которых входные линии не активны.

Минимальное рассеяние мощности достигается, когда состояние выводов ХИП в режиме пониженной мощности не изменяется, а напряжение удерживается на уровнях КМОП.

9.7.5.4 Внутренний порт прямого доступа к памяти (IDMA) в режиме пониженной мощности (ADSP-2181)

Внутренний порт прямого доступа к памяти может принимать данные в режиме пониженной мощности, но не может выставить сигнал подтверждения

9 ИНТЕРФЕЙС СИСТЕМЫ

ДСК или произвести операцию приращения внутреннего адреса. Короткая, прерванная на середине передача чтения или записи в порт IDMA может быть завершена, когда процессор находится в режиме пониженной мощности. Для завершения длинной, прерванной на середине передачи чтения или записи в порт IDMA хост-машина должна войти на некоторое время в состояние простоя, пока цифровой сигнальный процессор не сможет выставить сигнал подтверждения текущей передачи данных.

Обратите внимание, что любые операции порта IDMA, когда процессор находится в режиме пониженной мощности, увеличивают потребление энергии. Более подробная информация о минимизации энергозатрат дана в разделе "Условия минимального энергопотребления".

9.7.5.5 Порт прямого побайтового доступа к памяти (BDMA) в режиме пониженной мощности (ADSP-2181)

Процессор не должен входить в режим пониженной мощности во время передачи данных через порт BDMA. Если это произойдет, цифровой сигнальный процессор не сможет правильно восстановить свои функции при выходе из режима пониженной мощности, а содержимое памяти, к которой осуществлялся прямой побайтовый доступ через порт BDMA, будет потеряно.

В случае необходимости входа в режим пониженной мощности:

- убедитесь, что в регистре BWCOUNT содержится ноль; если имеет место передача данных через порт BDMA, опрашивайте регистр BWCOUNT, чтобы узнать, когда передача завершена;

или

- прервите передачу данных через порт BDMA путем записи 1 в регистр BWCOUNT; процессор может входить в режим пониженной мощности, когда в этом регистре будет содержаться ноль. (Обратите внимание, что в последнем случае передача данных через порт BDMA остается незавершенной должным образом).

9.7.5.6 Аналоговый интерфейс (ADSP-21msp5x)

Как рассказывалось в главе 8, аналоговый интерфейс процессоров ADSP-21msp58/59 может входить в состояние пониженной мощности независимо от процессора. Аналоговый интерфейс не используется в режиме пониженной мощности, и в случае, если он не выключается на это время из работы, происходит дополнительная потеря мощности. Ниже приводится пример подпрограммы прерывания пониженной мощности для ADSP-21msp58/59.

ИНТЕРФЕЙС СИСТЕМЫ 9

{Пример программы понижения мощности}

{Расположена по адресу 0x002C}

```

p w d _ i n t :   a x 0 = 0 x 0 0 0 0 ;           {вхождение аналогового ин-}
                                                         {терфейса в режим понижен-}
                                                         {ной мощности}

                d m ( 0 x 3 F E E ) = a x 0 ;
                a x 0 = 0 x 0 0 0 0 ;           {разрешение работы тактового}
                                                         {генератора, нет задержки}

                d m ( 0 x 3 F E F ) = a x 0 ;
                N O P ;
                i d l e ;
                r t i ;

```

Аналоговая часть процессора входит в состояние пониженной мощности в течение трех циклов. До истечения этих трех циклов команда IDLE не должна выполняться.

9.7.6 Условия, при которых потребление энергии минимально

В таблице 9.9 показано состояние всех выводов процессора в режиме пониженной мощности.

Таблица 9.9

Состояние выводов процессора в режиме пониженной мощности

<i>Название вывода</i>	<i>Направление</i>	<i>Состояние при пониженной мощности</i>
$\overline{\text{RESET}}$	Ввод	Активен
$\overline{\text{PWD}}$	Ввод	Активен
$\overline{\text{IRQ2}}$	Ввод	Активен, прерывания фиксируются, но не обслуживаются
MMAP	Ввод	Активен
$\overline{\text{BR}}$	Ввод	Активен, нет отклика до выхода из состояния пониженного напряжения питания
$\overline{\text{BG}}$	Вывод	Управляется высоким уровнем, если только нет предоставления шины

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.9 (продолжение)

CLKIN	Ввод	Буфер ввода не активен, но генератор XTAL активен, если только не установлен бит XTALDIS
CLKOUT	Вывод	Управляется высоким уровнем
XTAL	Вывод	Управляется высоким уровнем, если XTALDIS установлен, иначе - инвертирование CLKIN
PWDACK	Вывод	Управляется высоким уровнем
$\overline{\text{PMS}}$	Вывод	Управляется высоким уровнем, высокое сопротивление при предоставлении шины
$\overline{\text{DMS}}$	Вывод	Управляется высоким уровнем, высокое сопротивление при предоставлении шины
$\overline{\text{BMS}}$	Вывод	Управляется высоким уровнем, высокое сопротивление при предоставлении шины
$\overline{\text{IOMS}}$	Вывод	Управляется высоким уровнем, высокое сопротивление при предоставлении шины (ADSP-2181)
$\overline{\text{CMS}}$	Вывод	Управляется высоким уровнем, высокое сопротивление при предоставлении шины (ADSP-2181)
$\overline{\text{RD}}$	Вывод	Управляется высоким уровнем, высокое сопротивление при предоставлении шины
$\overline{\text{WR}}$	Вывод	Управляется высоким уровнем, высокое сопротивление при предоставлении шины
ADDR<13:0>	Вывод	Высокое сопротивление
DATA<23:0>	Ввод	Не активны
DATA<23:0>	Вывод	Высокое сопротивление
SCLK0	Ввод	Активен
SCLK0	Вывод	Сводится к статическому уровню, если внутренний генератор, иначе - высокое сопротивление
TFS0	Ввод	Активен, если SPORT0 доступен
TFS0	Вывод	Управляется, если сконфигурирован как внутренний или в многоканальном режиме и SPORT0 доступен, иначе высокое сопротивление
RFS0	Ввод	Активен, если SPORT0 доступен
RFS0	Вывод	Управляется, если сконфигурирован как внутренний или в многоканальном режиме и SPORT0 доступен, иначе высокое сопротивление
DR0	Ввод	Активен, если SPORT0 доступен

продолж. на след. стр.

ИНТЕРФЕЙС СИСТЕМЫ 9

табл. 9.9 (продолжение)

DT0	Вывод	Управляется, если последовательный порт функционирует. Выход может быть статическим или изменяться в зависимости от тактовых синхроимпульсов, иначе - высокое сопротивление
SCLK1	Ввод	Активен
SCLK1	Вывод	Сводится к статическому уровню, если внутренние тактовые импульсы, иначе высокое сопротивление
TFS1/ $\overline{\text{IRQ1}}$	Ввод	Активен, если SPORT1 доступен или задана его альтернативная конфигурация ($\overline{\text{IRQ1}}$)
TFS1	Вывод	Управляется, если SPORT1 доступен и сконфигурирован для внутренней кадровой синхронизации передачи, иначе высокое сопротивление
RFS1/ $\overline{\text{IRQ0}}$	Ввод	Активен, если SPORT1 доступен или задана его альтернативная конфигурация ($\overline{\text{IRQ0}}$)
RFS1	Вывод	Управляется, если SPORT1 доступен и сконфигурирован для внутренней кадровой синхронизации приема, иначе высокое сопротивление
DR1/FLAGIN	Ввод	Активен, если SPORT1 доступен или задана его альтернативная конфигурация (FLAGIN)
DT1/FLAGOUT	Вывод	Управляется, если последовательный порт функционирует. Выход может быть статическим или изменяться в зависимости от тактовых синхроимпульсов. Управляется, если последовательный порт доступен или задана его альтернативная конфигурация (FLAGOUT)
BMODE	Ввод	Активен
HSIZE	Ввод	Активен (ADSP-2171, ADSP-21msp5x)
HMD0	Ввод	Активен (ADSP-2171, ADSP-21msp5x)
HMD1	Ввод	Активен (ADSP-2171, ADSP-21msp5x)
HSEL	Ввод	Активен (ADSP-2171, ADSP-21msp5x)
HRD	Ввод	Активен (ADSP-2171, ADSP-21msp5x)
HWR	Ввод	Активен (ADSP-2171, ADSP-21msp5x)
HADR<2:0>	Ввод	Активны (ADSP-2171, ADSP-21msp5x)
HDATA<15:0>	Ввод	Активны при записи с хост-машины или высоком уровне HMD1 и HA2/HALE, иначе не активен (ADSP-2171, ADSP-21msp5x)

продолж. на след. стр.

9 ИНТЕРФЕЙС СИСТЕМЫ

табл. 9.9 (продолжение)

HDATA<15:0>	Вывод	Управляются при считывании хост-машиной, иначе - высокое сопротивление (ADSP-2171, ADSP-21msp5x)
HACK	Вывод	Управляется (ADSP-2171, ADSP-21msp5x)
FL<2:0>	Вывод	Управляются предыдущими значениями
PF<7:0>	Ввод/вывод	Активен (ADSP-2181)
$\overline{\text{IRD}}$	Ввод	Активен, если $\overline{\text{IS}}$ установлен (ADSP-2181)
$\overline{\text{IWR}}$	Ввод	Активен, если $\overline{\text{IS}}$ установлен (ADSP-2181)
$\overline{\text{IS}}$	Ввод	Активен (ADSP-2181)
IAL	Ввод	Активен, если $\overline{\text{IS}}$ установлен (ADSP-2181)
IAD	Ввод/вывод	Активен, если выполняются операции (ADSP-2181)
$\overline{\text{IS}}$	Вывод	Активен (ADSP-2181)
VIN(NORM)	Ввод	Не активен, устанавливается битом управления режимом пониженной мощности аналогового интерфейса (ADSP-21msp5x)
VIN(AUX)	Ввод	Не активен, устанавливается битом управления режимом пониженной мощности аналогового интерфейса (ADSP-21msp5x)
VFB(NORM)	Вывод	Не активен, устанавливается битом управления режимом пониженной мощности аналогового интерфейса (ADSP-21msp5x)
VFB(AUX)	Вывод	Не активен, устанавливается битом управления режимом пониженной мощности аналогового интерфейса (ADSP-21msp5x)
VOU T P	Вывод	Управляется низким уровнем в режиме пониженной мощности (ADSP-21msp5x)
VOU T N	Вывод	Управляется низким уровнем в режиме пониженной мощности (ADSP-21msp5x)
VREF	Вывод	Опорное напряжение отключено (ADSP-21msp5x)

Чтобы достигнуть минимального уровня потребления мощности, напряжение на всех активных входных выводах должно удерживаться на уровнях КМОП. Все активные выходные выводы не должны иметь резистивных нагрузок, так как ток нагрузки увеличит рассеяние мощности. Некоторые выводы могут находиться в одном из нескольких возможных состояний в зависимости от соединения выводов режима. Например, выводы шины данных ХИП могут быть

ИНТЕРФЕЙС СИСТЕМЫ 9

либо активными, либо неактивными в зависимости от способа соединения выводов режима ХИП или от того, производится ли в этот момент запись с хост-машины. Для обеспечения минимального рассеяния мощности следует внимательно проанализировать состояние каждого вывода.

Некоторые входы активны, но игнорируются. Состояние этих входов не играет никакой роли, пока они удерживаются на уровне КМОП.

9.7.7 Вывод PWDACK

Вывод подтверждения состояния пониженной мощности (PWDACK) указывает, что на процессор не подается питание. Этот вывод управляется высоким уровнем, когда процессор находится в режиме пониженной мощности, и низким уровнем после того, как процессор выходит из этого режима. Низкий уровень напряжения на выводе PWDACK указывает также на наличие действительного (достоверного) сигнала CLKOUT и на начало выполнения команды. На рис. 9.7 приводится пример временных характеристик для состояния пониженной мощности и последовательности возобновления операций.

Процессор выполняет код команды, когда на выводе PWD устанавливается низкий уровень напряжения. Процессор находит вектор прерывания пониженной мощности, затем выполняет команду IDLE и входит в режим пониженной мощности. Сигналы CLKOUT и PWDACK управляются высоким уровнем напряжения. В этот момент состояние входа тактовых синхроимпульсов игнорируется. То же самое происходит, когда процессор входит в режим пониженной мощности посредством установки соответствующего бита в регистре управления пониженной мощностью.

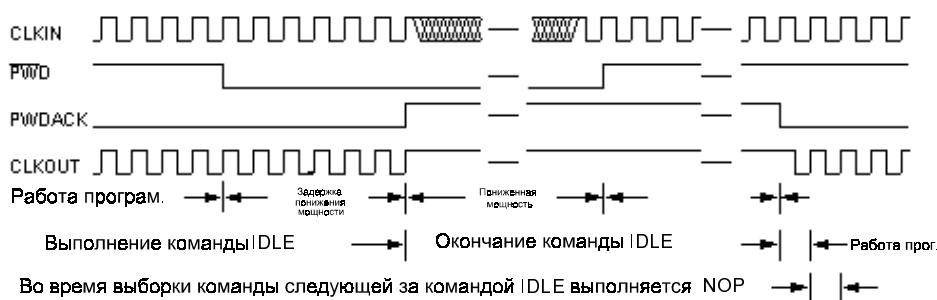


Рис. 9.7 Пример временных характеристик в режиме пониженной мощности процессора

9 ИНТЕРФЕЙС СИСТЕМЫ

После начала подачи входных тактовых синхроимпульсов на выводе PWD устанавливается высокий уровень напряжения. Затем, через необходимое для запуска число циклов, процессор понижает выходное напряжение на выводе PWDACK, запускает вывод CLKOUT при помощи сигнала синхронизации и начинает выбирать команду, следующую за командой IDLE. После этого возобновляется нормальная работа процессора.

Когда выход из режима пониженной мощности осуществляется при помощи вывода RESET или в случае, когда выбирается задержка запуска, низкий уровень напряжения на уровне PWDACK указывает только на начало колебаний на выводе CLKOUT. Нет никакой необходимости указывать на начало выполнения команд.

В течение первых 100 циклов после начального перезапуска состояние вывода PWDACK и сигнала CLKOUT не определено.

9.7.8 Использование режима пониженной потребляемой мощности в качестве немаскируемого прерывания

Прерывание пониженной мощности никогда не маскируется. При необходимости, можно использовать это прерывание для других целей. Процессор не войдет в режим пониженной мощности до того, как выполнит команду IDLE. Если перед командой IDLE выполняется команда RTI, процессор возвращается из подпрограммы обслуживания прерывания в главную программу, в результате чего прерывается последовательность операций, необходимая для вхождения в режим пониженной мощности.

По расположению вектора прерывания пониженной мощности (0x002C) можно поместить целую серию команд. Чтобы использовать прерывание пониженной мощности для других целей, эта серия команд должна заканчиваться командой RTI и не должна содержать команды IDLE.

