

## **ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ 13**

### **13.1 ОБЗОР**

В данной главе описываются некоторые схемы, которые могут использоваться в дополнение к последовательным портам, порту интерфейса хост-машины (ХИП) или интерфейсу памяти. Как и в других аналогичных случаях, при разработке данных аппаратных средств следует обратить особое внимание на их временные характеристики и синхронизацию. Поэтому, при изучении приводимых в данной главе примеров вам также следует обращаться к техническим описаниям конкретных процессоров семейства ADSP-2100.

### **13.2 НАЧАЛЬНАЯ ЗАГРУЗКА ЧЕРЕЗ ХОСТ-МАШИНУ С ИСПОЛЬЗОВАНИЕМ ПРОЦЕДУР ЗАПРОСА И ПРЕДОСТАВЛЕНИЯ ШИНЫ**

Все процессоры семейства ADSP-2100, в которых имеется внутреннее ОЗУ программ, поддерживают операцию начальной загрузки, во время которой процессор побайтно считывает команды с какого-либо внешнего устройства памяти (как правило, ППЗУ) через интерфейс памяти и записывает эти команды во внутреннюю память программ, формируя слова по 24 бита. Так как внешнее устройство запрограммировано на подачу байт в соответствующем порядке, то операция начальной загрузки может производиться автоматически при перезапуске или, в случае принудительного осуществления начальной загрузки, при помощи программных средств.

В некоторых системах, в которых управление процессором семейства ADSP-2100 осуществляется хост-машиной, начальная загрузка должна производиться непосредственно с хост-машины. В таких случаях именно хост-машина, а не ППЗУ является источником загружаемых во внутреннюю память байт информации. Процессоры семейства ADSP-2100, в которых имеется порт интерфейса хост-машины (например, ADSP-2111), могут автоматически выполнять операцию начальной загрузки через этот порт. Однако, если процессор не имеет порта интерфейса хост-машины, начальная загрузка может осуществляться через интерфейс памяти с использованием сигнала запроса шины по процедуре, которая будет рассмотрена ниже.

Данный пример демонстрирует наиболее простой способ загрузки программ с хост-машины во внутреннюю память программы процессора семейства ADSP-2100. Имеется несколько способов соединения цифрового сигнального процессора с хост-машиной. Использование какого-либо из этих способов зависит от строения порта ввода/вывода хост-машины, доступности линий порта ввода/вывода и уже имеющегося в системе объема логики декодирования адреса.

### 13 ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ

На рис. 13.1 приводится минимальная система, позволяющая осуществлять начальную загрузку процессора семейства ADSP-2100 через микроконтроллер. Из аппаратных средств в этой системе требуется только D-триггер и резистор на 5 кОм, который используется для поддержания высокого напряжения на выводе  $\overline{BMS}$  (выбор начальной загрузки памяти) процессора.

Процессор семейства ADSP-2100 автоматически начинает выполнять процедуру начальной загрузки после перезапуска процессора (когда на выводе MMAP установлен низкий уровень) или при инициализации операции начальной загрузки при помощи программных средств. Когда процессор начинает выбирать байт из внешней памяти начальной загрузки (в данном случае из хост-машины), он выставляет сигнал  $\overline{BMS}$ . По низкому уровню сигнала  $\overline{BMS}$  триггер предварительно устанавливается, и на выходе  $\overline{Q}$  появляется низкий уровень. Этому низкому уровню соответствует сигнал  $\overline{BR}$  (запрос шины). После того, как процессор семейства ADSP-2100 опознает запрос шины и завершит выполнение текущего цикла, выполнение текущих операций процессора приостанавливается. В следующем цикле (после опознавания  $\overline{BR}$ ) процессор выставляет сигнал  $\overline{BG}$  (предоставление шины).

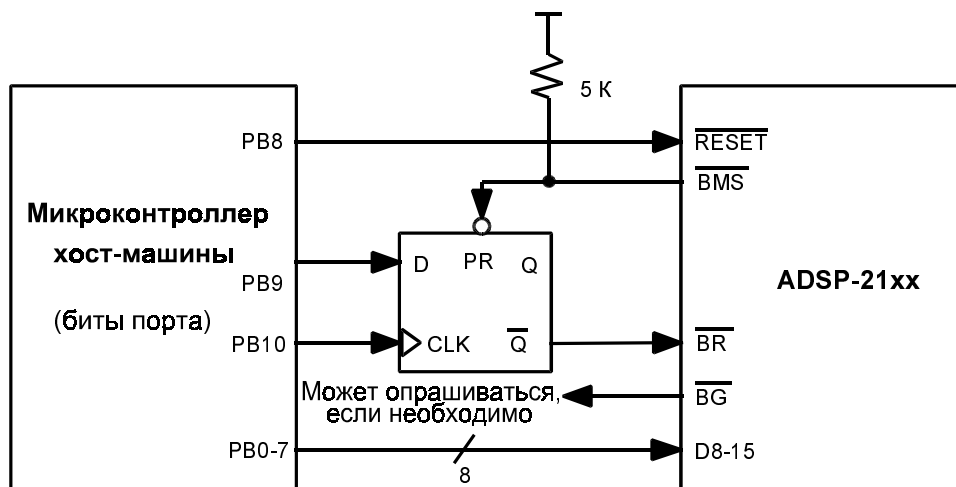


Рис. 13.1 Начальная загрузка процессора семейства ADSP-2100 с хост-машины

## ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ 13

Когда сигнал низкого уровня на входе D запишется в триггер по фронту тактового сигнала, выход  $\overline{Q}$  становится высоким по уровню и снимает, таким образом, сигнал  $\overline{BR}$ .

Вывод запроса шины процессора семейства ADSP-2100 ( $\overline{BR}$ ) используется для остановки и синхронизации процесса начальной загрузки. Хост-машина снимает запрос на предоставление шины, после чего процессор считывает один байт загружаемых данных. Во время операции считывания выставляется сигнал  $\overline{BMS}$ , по которому сигнал  $\overline{BR}$  выставляется вновь, и процессор семейства ADSP-2100 снова входит в состояние запроса шины. Работа процессора приостанавливается, пока он ожидает следующего байта данных.

Механизм квитирования передачи каждого байта загружаемых данных обеспечивается тремя программируемыми битами порта микроконтроллера (PB 8-10). Кроме того, биты PB9 и PB10 могут реализовываться как отображенный в карте памяти порт. Бит PB8 используется для перезапуска процессора семейства ADSP-2100 после чего начинается операция начальной загрузки последнего. Обратите внимание, что, если PB8 при подаче питания не низкий, то процессор будет выполнять неопределенные команды, пока PB8 не станет низким.

Загружаемые байты подаются микроконтроллером либо через 8 битов порта (PB0-7), либо через отображенный в карте памяти порт. По завершению начальной загрузки биты PB0-7 должны находиться в третьем состоянии, чтобы исключить конфликтные ситуации при попытках процессора записывать данные во внешнюю память или периферийные устройства.

Для данной системы типична следующая процедура начальной загрузки:

- 1) Для перезапуска процессора семейства ADSP-2100 PB8 устанавливается низким.
- 2) Сигнал с высоким уровнем записывается в триггер при помощи PB9 и PB10, что устанавливает  $\overline{BR}$  низким по уровню.
- 3) Для запуска процессора PB8 устанавливается высоким.
- 4) На шину данных помещается байт загружаемых данных (PB0-7).
- 5) Сигнал с низким уровнем записывается в триггер при помощи PB9 и PB10, после чего  $\overline{BR}$  становится высоким по уровню.
- 6) Ожидание в течение минимум шести циклов процессора, пока процессор семейства ADSP-2100 осуществляет выборку байта данных, а триггер выставляет сигнал  $\overline{BR}$ .
- 7) Повторение пунктов 4, 5, 6 для каждого байта загружаемых данных. После последней итерации процессор семейства ADSP-2100 автоматически начинает свою работу.

## 13 ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ

Примечание: Следует соблюдать правильную последовательность загрузки байт (т.е. порядок, в котором эти байты подаются на процессор хост-машины). Эта последовательность рассматривалась в главе 10 "Интерфейс памяти". Для создания файла начальной загрузки используйте утилиту PROM сплиттер, которая входит в программные средства отладки процессоров семейства ADSP-2100. PROM сплиттер автоматически организует байты в правильном порядке для их начальной загрузки.

### 13.3. СОПРЯЖЕНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА С КОДЕКОМ

Кодек (КОдер/ДЕКОдер) объединяет в одном устройстве функции АЦП, ЦАП и фильтра. Рассматриваемый в данном примере кодек также выполняет операции кодирования и декодирования кодово-импульсной модуляции по закону с  $\mu$ -характеристикой в соответствии со стандартами МККТТ. Кодово-импульсная модуляция сжимает цифровые данные таким образом, что для хранения той же информации требуется меньшее число бит. Последовательные порты процессоров семейства ADSP-2100 могут осуществлять компандирование (сжатие/расширение) как по закону с  $\mu$ -, так и с А-характеристикой.

В рассматриваемом примере кодек преобразует входные аналоговые данные в цифровую форму, сжимает их, а затем посылает их по битам на последовательный порт процессора семейства ADSP-2100. Одновременно процессор посылает сжатые данные через последовательный порт на кодек, который расширяет их и преобразует результат в аналоговый сигнал.

На рис. 13.2 показан промышленный кодек с компандированием по закону с  $\mu$ -характеристикой, подсоединенный к последовательному порту (в данном случае, в SPORT0) процессора семейства ADSP-2100. Входной аналоговый сигнал этого кодека на входе VFХI+ усиливается встроенным усилителем, коэффициент усиления которого управляется набором резисторов на GSX и VFХI-. Коэффициент усиления равен:

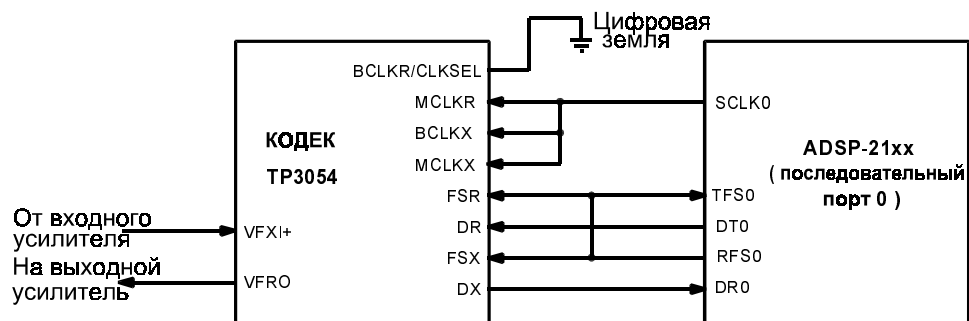
$$20 \log(R1 + R2)/R2$$

в данном случае,  $20 \log 2$ .

Процессор семейства ADSP-2100 управляет работой кодека при помощи сигналов тактовой синхронизации. В показанной конфигурации принимающая и передающая части кодека работают синхронно. MCLKR и MCLKX являются

## ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ 13

управляющими тактовыми синхроимпульсами для передающей и принимающей частей кодека. BCLKX является битовым синхроимпульсом, который в данной конфигурации используется для синхронизации как последовательно принимаемых, так и передаваемых данных. MCLKR, MCLKX, BCLKZ должны быть синхронными и, в данном случае, являться одним и тем же сигналом, а именно выходным сигналом SCLK0, который генерируется процессором семейства ADSP-2100. При низком уровне входного сигнала BCLKR/CLKSEL частота MCLKX должна быть равна 2,048 МГц. Поэтому процессор семейства ADSP-2100 должен быть запрограммирован на генерирование SCLK0 с частотой 2,048 МГц.



**Рис. 13.2** Сопряжение последовательного порта ADSP-2100 с КОДЕКОМ TP3054

Процессор использует сигналы кадровой синхронизации для указания кодеку, что будет осуществлена передача или прием данных. Для передачи данных на кодек процессор посылает импульс TFS0 на вход FSR кодека, а затем выводит в течение восьми периодов последовательного тактового генератора восемь бит через DT0. Кодек принимает данные через вывод DR. Аналогичным образом, процессор начинает прием данных, посылая импульс RFS0 на вывод кодека FSX, в результате чего кодек выводит восемь бит через вывод DX в течение восьми следующих периодов последовательного тактового генератора. Процессор принимает данные через вывод DR0. Процессор семейства ADSP-2100 должен быть запрограммирован для работы в нормальном режиме кадровой синхронизации, со словами данных длиной 8 бит и внутренне генерируемыми сигналами кадровой синхронизации активными по высокому уровню.

Показанный ниже код программы для процессора семейства ADSP-2100 задает конфигурацию SPORT0 для работы с рассматриваемым в данном примере аппаратным обеспечением, что требует:

- внутренней генерации тактовых синхроимпульсов;
- частоты последовательных тактовых синхроимпульсов в 2,048 МГц;

## 13 ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ

- кадровой синхронизации приема и передачи;
- использования нормального режима кадровой синхронизации для приема и передачи данных;
- внутренней генерации сигналов кадровой синхронизации приема и передачи;
- активных по высокому уровню сигналов кадровой синхронизации;
- слов данных длиной 8 бит;
- компандирования по закону с  $\mu$ -характеристикой.

В данной программе предполагается, что процессор работает с частотой 12,288 МГц. Кроме того, в данной программе задается, чтобы процессор запрашивал данные с кодека с частотой 8 кГц (этот регистр не инициализируется при перезапуске, и перед активизацией SPORT0 в него всегда должно записываться значение, если сигнал RFS генерируется внутренне). Процессор передает данные, как это требуется выполняемой им программой.

A X 0 = 0 x 6 9 2 7 ;	{Внутренние SCLK, требуется RFS/TFS,}
	{нормальная кадровая синхронизация}
D M ( 0 x 3 F F 6 ) = A X 0 ;	{генерирование RFS, активны по высокому}
	{уровню, компандирование с $\mu$ -характеристи-
	{кой длина слова 8 бит}
A X 0 = 2 ;	{значение SCLKDIV для 2,048 МГц}
D M ( 0 x 3 F F 5 ) = A X 0 ;	{с CLKOUT частотой 12,888 МГц}
A X 0 = 2 5 5 ;	{RFS DIV=256, между ними 256 тактовых}
	{синхроимпульсов SCLK}
D M ( 0 x 3 F F 4 ) = A X 0 ;	{кадровая синхронизация 8 кГц}
A X 0 = 0 x 1 0 3 8 ;	{активизация только SPORT0, остается по}
D M ( 0 x 3 F F F ) = A X 0 ;	{умолчанию}

### 13.4 СОПРЯЖЕНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА С ЦАП

Любой процесс цифровой обработки сигнала в конце концов должен заканчиваться выводом информации в аналоговой форме. Последовательный порт процессоров семейства ADSP-2100 может непосредственно посылать данные на ЦАП (цифро-аналоговый преобразователь) для их последующего преобразования в аналоговый сигнал.

ЦАП фирмы Analog Devices AD766 не требует никаких дополнительных логических устройств для сопряжения с последовательным портом. AD766 получает слова данных длиной 16 бит начиная с самого старшего бита и преобразует

## ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ 13

их в аналоговый сигнал. Цифровой интерфейс этого преобразователя состоит из трех входов: DATA - вход последовательных данных;  $\overline{\text{CLK}}$  для сигнала синхронизации данных в ЦАП (активен по низкому уровню, так как данные синхронизируются по заднему фронту) и LE (разрешение фиксации), который фиксирует каждое 16-разрядное слово данных в преобразующей части ЦАП.

Соединение последовательного порта с AD766 показано на рис. 13.3. В данной конфигурации процессор внутренне генерирует последовательные тактовые синхроимпульсы SCLK и подает их на ЦАП. Данные последовательно выводятся через вывод DT процессора на вход DATA ЦАП. На вход ЦАП LE подается сигнал кадровой синхронизации передачи TFS.

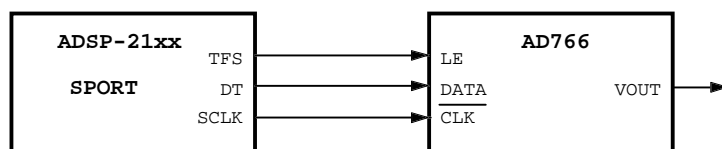
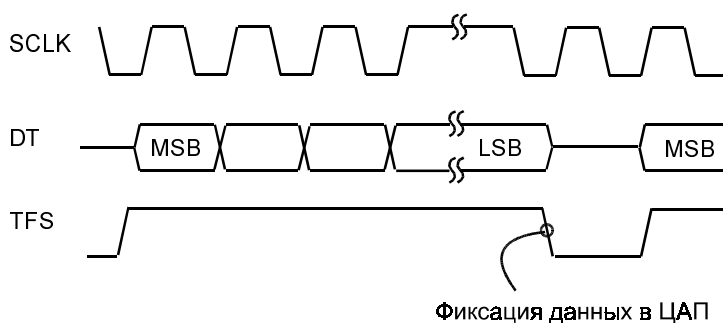


Рис. 13.3 Сопряжение последовательного порта с ЦАП AD766

В цикле тактового генератора после передачи самого младшего (шестнадцатого) бита слова на вход LE должен быть подан низкий уровень, чтобы 16-разрядное слово было зафиксировано в ЦАП. Для обеспечения временного согласования этого процесса сигнал TFS задается неинвертируемым для альтернативного режима кадровой синхронизации; этот сигнал имеет высокий уровень во время передачи первого бита и низкий уровень после передачи последнего бита. Таким образом, слово фиксируется в AD766 по заднему фронту этого сигнала. Единственным ограничением является то, что последовательный порт не может передавать данные непрерывно; между последним битом одного слова и первым битом следующего слова должен быть перерыв, необходимый для понижения уровня сигнала TFS. Эти временные характеристики показаны на рис. 13.4.



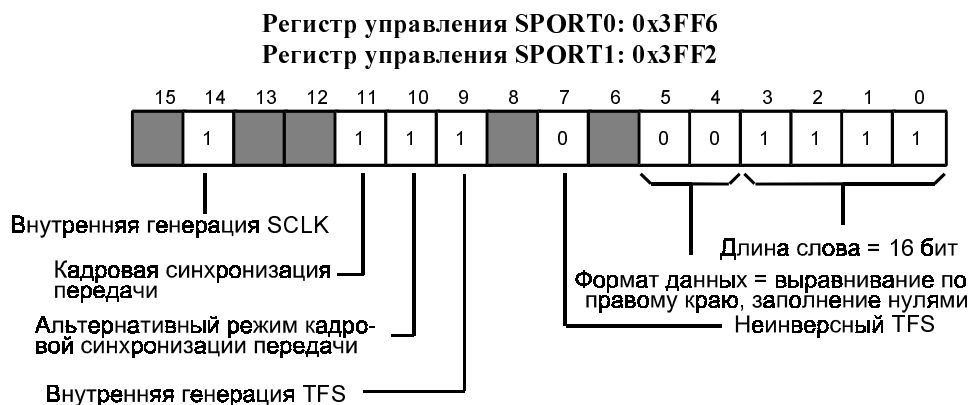
## **13 ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ**

**Рис. 13.4** Временные характеристики передачи данных с последовательного порта на ЦАП AD766



## ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ 13

На рис. 13.5 показана конфигурация регистров управления последовательного порта для рассматриваемого примера.



**Рис. 13.5** Установки регистров управления для сопряжения последовательного порта с ЦАП

### 13.5 СОПРЯЖЕНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА С АЦП

АЦП (аналого-цифровой преобразователь) преобразует аналоговый сигнал в цифровые выборки, пригодные для обработки цифровым сигнальным процессором. Процессоры семейства ADSP-2100 могут непосредственно получать данные с АЦП через последовательный порт.

АЦП фирмы Analog Devices AD7872 не требует никаких дополнительных логических устройств для сопряжения с последовательным портом. AD7872 преобразует аналоговый сигнал в 14-разрядные выборки. Каждая выборка дополняется двумя самыми старшими битами равными нулю для формирования 16-разрядных слов. AD7872 выводит слово последовательно, начиная с самого старшего бита. Цифровой интерфейс этого АЦП состоит из трех выводов: SDATA - вывод последовательных данных; SCLK - для синхронизации данных при их выводе и  $\overline{\text{SSTRB}}$  (последовательный строб), который осуществляет кадровую синхронизацию каждого последовательно передаваемого слова.

Соединение последовательного порта с AD7872 показано на рис. 13.6. Таймер регулирует выборки с постоянной частотой посредством входного сигнала  $\overline{\text{CONVST}}$ . Неиспользуемый последовательный порт или вывод флага процессора семейства ADSP-2100 могут быть запрограммированы для генерирования сигнала

## 13 ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ

$\overline{\text{CONVST}}$  вместо таймера. AD7872 внутренне генерирует последовательные тактовые синхроимпульсы SCLK и подает их на процессор. При удерживаемом на входе CONTROL напряжении -5В сигнал SCLK является непрерывным и генерируется даже после вывода данных.

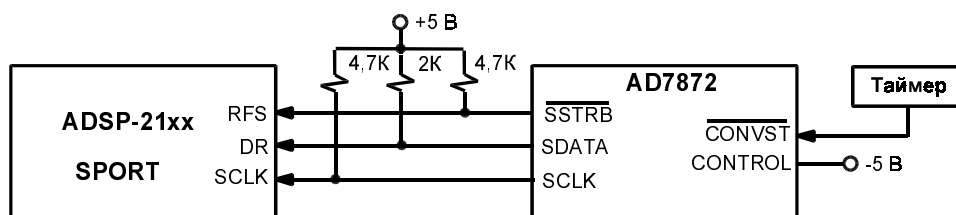


Рис. 13.6 Сопряжение последовательного порта с АЦП AD7872

Данные последовательно выводятся через выход SDATA АЦП на вход процессора DR. Сигнал  $\overline{\text{SSTRB}}$  используется как входной сигнал кадровой синхронизации приема. Сигнал  $\overline{\text{SSTRB}}$  устанавливается в 0 во время передачи первого бита на процессор. Временные характеристики передачи данных показаны на рис. 13.7.

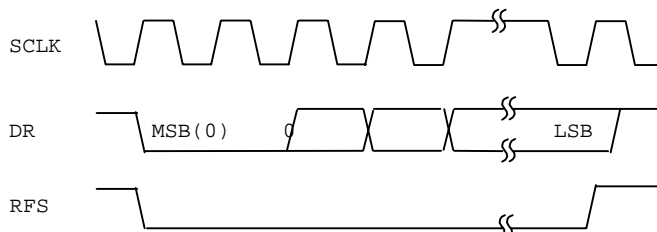
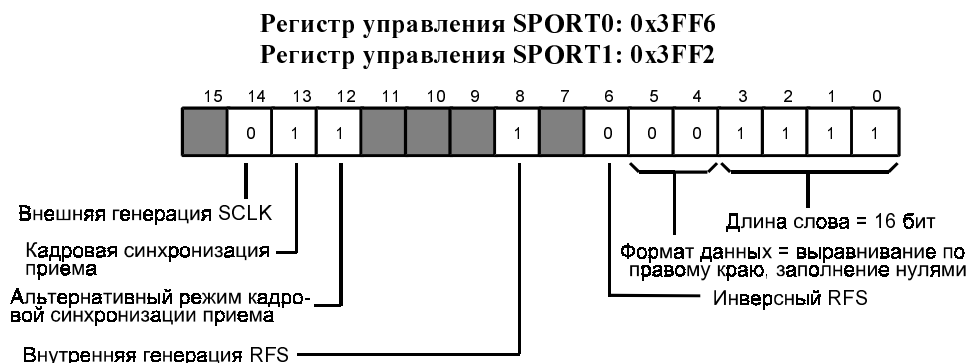


Рис. 13.7 Временные характеристики передачи с AD7872 на последовательный порт

Сигнал кадровой синхронизации приема настраивается при инициализации как генерируемый внешне с инвертированной логикой (активным по низкому уровню) для альтернативного режима кадровой синхронизации. Последовательный порт также должен быть запрограммирован для работы с внешне генерируемыми тактовыми синхроимпульсами и словами данных длиной 16 бит. На рис. 13.8 показана конфигурация регистра управления последовательным портом, необходимая для его использования при сопряжении с данным АЦП.

## ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ 13



**Рис. 13.8** Установки регистра управления для сопряжения последовательного порта с АЦП AD7872

### 13.6 СОПРЯЖЕНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА С ДРУГИМ ПОСЛЕДОВАТЕЛЬНЫМ ПОРТОМ

Последовательные порты представляют собой удобный способ передачи данных между процессорами семейства ADSP-2100 не прибегая к использованию внешней памяти или шины памяти и без временной остановки работы одного из процессоров. Последовательные порты соединяются как показано на рис. 13.9. В данном примере, SPORT1 одного процессора (#1) подсоединен к SPORT0 второго (#2).

Оба процессора используют тактовые синхроимпульсы, сгенерированные процессором #1. Процессор #2 сконфигурирован для получения тактовых синхроимпульсов из вне. Регистры управления последовательных портов должны иметь следующие установленные параметры:

*Процессор #1, SPORT1*

SCLKDIV = зависит от системы

SLEN = зависит от системы

ISCLK=1

TFSR=1

RFSR=1

IRFS=0

ITFS=1

RFSDIV= не важно

*Процессор #2, SPORT0*

SCLKDIV = зависит от системы

SLEN = зависит от системы

ISCLK=0

TFSR=1

RFSR=1

IRFS=0

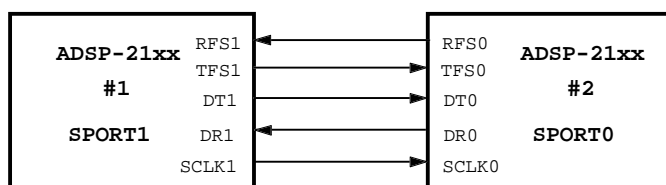
ITFS=1

RFSDIV= не важно

## 13 ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ

TFSW1 = RFSW1 = TFSW2 = RFSW2 = зависит от системы

INVRFS1 = INVTFS1 = INVRFS2 = INVTFS2 = зависит от системы



**Рис. 13.9 Сопряжение последовательных портов двух процессоров семейства ADSP-2100**

Для координации передачи данных используется кадровая синхронизация. Каждый процессор внутренне генерирует сигнал кадровой синхронизации передачи (TFS) и ждет прихода внешнего сигнала кадровой синхронизации приема (RFS) от другого процессора. Может использоваться нормальный или альтернативный режим кадровой синхронизации, однако оба последовательных порта должны работать в одном режиме кадровой синхронизации. Подобным образом, оба последовательных порта должны быть сконфигурированы для работы со словами данных одной и той же длины и для одного и того же типа компандирования, если оно используется, или для одного и того же формата данных, если компандирование не используется.

В данной конфигурации можно использовать автобуферизацию последовательных портов, которая позволяет передавать целый буфер данных из памяти данных одного процессора на другой, *без потерь на обслуживание прерываний*. Последовательные порты автоматически квитируют связи: когда один процессор записывает данные в свой регистр TX0, эти данные автоматически передаются в регистр RX0 другого процессора, и при этом генерируется цикл автобуферизации.

В действительности, передачи с использованием автобуферизации могут одновременно осуществляться в обоих направлениях, в то время как каждый процессор выполняет другие основные задачи. По завершению передачи с использованием автобуферизации каждый порт генерирует прерывание. Описание автобуферизации было дано в главе "Последовательные порты", где оно сопровождалось примером кода программы установки параметров автобуферизации.

## ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ 13

### 13.7 СОПРЯЖЕНИЕ МИКРОКОМПЬЮТЕРА 80C51 С ПОРТОМ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ

Порт интерфейса хост-машины в процессорах ADSP-2111, ADSP-2171 и ADSP-21msp5x облегчает сообщение этих процессоров с главным вычислительным микрокомпьютером (хост-машиной) типа Intel 80C51. Пример их соединения приводится на рис. 13.10. В данном примере регистры данных ХИП (HDR) и регистры состояния ХИП (HSR) процессора ADSP-2111 занимают восемь расположенных рядом ячеек памяти микрокомпьютера 80C51.

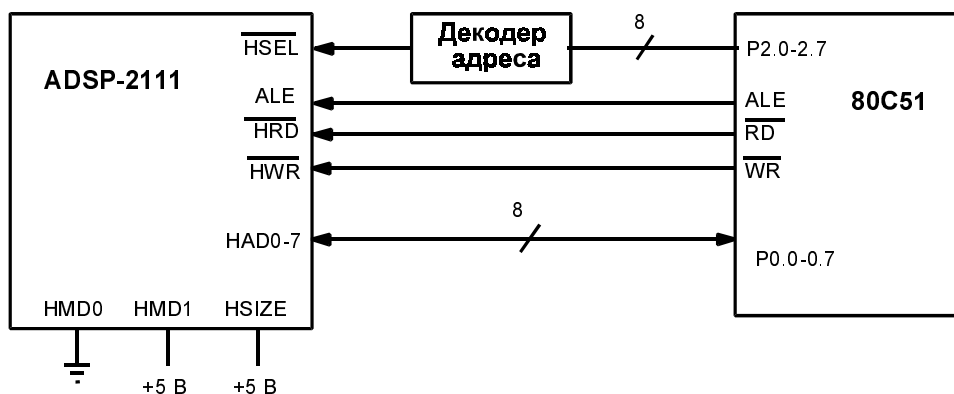


Рис. 13.10 Сопряжение порта интерфейса хост-машины с 80C51

Для обращения к одному из регистров ХИП микрокомпьютер 80C51 выставляет сигнал ALE и выводит 16-разрядный адрес: старшие биты - по P2.0-2.7, младшие биты адреса - по P0.0-P0.7. Старшая половина бит декодируется для выбора ХИП при помощи HSEL, а младшая выбирает регистр ХИП посредством HAD0-7. После выставления ALE ХИП фиксирует адрес, и таким образом данные по 8 бит могут передаваться по линиям HAD0-7. Микрокомпьютер выставляет WR для записи или RD для считывания.

В данном примере 80C51 считывает и записывает 8-разрядные данные, и вход HSIZE процессора ADSP-2100 удерживается на высоком уровне. Используются только восемь младших бит каждого регистра ХИП. Вывод HMD0 удерживается на низком уровне из-за того, что микрокомпьютер 80C51 скорее использует отдельные стробы считывания и записи, нежели одну линию считывания/записи. Вывод HMD1 удерживается на высоком уровне, так как для адреса и данных используется одна и та же шина (мультиплексированная с использованием ALE), а не отдельные шины

## **13 ДОПОЛНИТЕЛЬНОЕ АППАРАТНОЕ ОБЕСПЕЧЕНИЕ**