

СОДЕРЖАНИЕ

Глава 1. Введение

1.1	ОБЗОР	21
1.1.1	Функциональные устройства	21
1.1.2	Интерфейс системы и памяти	24
1.1.3	Набор команд	25
1.1.4	Рабочие характеристики цифровых сигнальных процессоров	25
1.2	БАЗОВАЯ АРХИТЕКТУРА	26
1.2.1	Вычислительные устройства	27
1.2.2	Генераторы адреса и программный автомат	28
1.2.3	Шины	28
1.3	ДРУГИЕ УСТРОЙСТВА НА КРИСТАЛЛЕ	29
1.3.1	Последовательные порты	29
1.3.2	Таймер	30
1.3.3	Порт интерфейса хост-машины (ADSP-2111, ADSP-2171, ADSP-21msp5x)	30
1.3.4	Порты прямого доступа к памяти (ADSP-2181)	30
1.3.5	Аналоговый интерфейс	31
1.4	СИСТЕМА ПРОГРАММНО-АППАРАТНЫХ СРЕДСТВ ОТЛАДКИ ПРОЦЕССОРОВ СЕМЕЙСТВА ADSP-2100	31
1.5	СТРУКТУРА ДАННОГО ИЗДАНИЯ	32

Глава 2. Вычислительные устройства

2.1	ОБЗОР	35
2.1.1	Последовательности двоичных символов	35
2.1.2	Беззнаковый формат	35
2.1.3	Знаковые числа в дополнительном коде	35
2.1.4	Представление дробных чисел в формате 1.15	36
2.1.5	Арифметические операции АЛУ	36
2.1.6	Арифметические операции умножителя	37
2.1.7	Арифметические операции устройства сдвига	37
2.1.8	Заключение	38
2.2	АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО (АЛУ)	39
2.2.1	Блок-схема АЛУ	39
2.2.2	Стандартные функции	42
2.2.3	Регистры ввода/вывода АЛУ	43
2.2.4	Возможность операций с повышенной точностью	43
2.2.5	Режим насыщения АЛУ	43
2.2.6	Режим фиксации переполнения АЛУ	44
2.2.7	Деление	44
2.2.8	Состояния АЛУ	48
2.3	УМНОЖИТЕЛЬ-НАКОПИТЕЛЬ (УМНОЖИТЕЛЬ)	48
2.3.1	Блок-схема умножителя-накопителя	48

СОДЕРЖАНИЕ

2.3.2	Операции умножителя-накопителя	51
2.3.2.1	Стандартные функции	51
2.3.2.2	Форматы ввода данных	52
2.3.2.3	Регистры ввода/вывода умножителя-накопителя	53
2.3.2.4	Операции регистра MR	53
2.3.2.5	Переполнение и насыщение умножителя	54
2.3.2.6	Режим округления	55
2.3.2.7	Округление со смещением (ADSP-217х, ADSP-218х, ADSP-21msp5х)	56
2.4	УСТРОЙСТВО ЦИКЛИЧЕСКОГО СДВИГА	57
2.4.1	Блок-схема устройства сдвига	57
2.4.2	Операции устройства сдвига	62
2.4.2.1	Регистры ввода/вывода	64
2.4.2.2	Нахождение блочного порядка	64
2.4.2.3	Непосредственный сдвиг	65
2.4.2.4	Денормализация	66
2.4.2.5	Нормализация	67
Глава 3.	Управление программой	
3.1	ОБЗОР	71
3.2	ПРОГРАММНЫЙ АВТОМАТ	71
3.2.1	Логическое устройство выбора адреса следующей команды	71
3.2.2	Счетчик команд и стек счетчика команд	73
3.2.3	Счетчик циклов и стек счетчика	74
3.2.4	Компаратор циклов и стек циклов	75
3.3	КОМАНДЫ УПРАВЛЕНИЯ ПРОГРАММОЙ	78
3.3.1	Команда перехода (JUMP)	78
3.3.1.1	Косвенная адресация по адресу, взятому из регистра	79
3.3.2	Команда вызова (CALL)	79
3.3.3	Циклы, организованные с помощью команды DO UNTIL	79
3.3.4	Команда ожидания (IDLE)	80
3.3.4.1	Команда ожидания (IDLE) с замедлением внутренней тактовой частоты процессора	81
3.4	КОНТРОЛЛЕР ПРЕРЫВАНИЙ	81
3.4.1	Последовательность обработки прерываний	82
3.4.2	Выбор конфигурации прерываний	85
3.4.2.1	Регистр управления прерываниями (ICNTL)	87
3.4.2.2	Регистр маскирования прерываний (IMASK)	87
3.4.2.3	Глобальное разрешение/блокирование прерываний	88
3.4.2.4	Регистр принудительной установки/сброса прерываний (IFC)	88
3.4.3	Задержка прерываний	90
3.4.3.1	Задержка прерывания таймера в процессорах ADSP-2101, ADSP-2105, ADSP-2115, ADSP-2111	91

СОДЕРЖАНИЕ

3.5	РЕГИСТРЫ СОСТОЯНИЙ И СТЕК СОСТОЯНИЙ	91
3.5.1	Регистр состояния арифметических устройств (ASTAT)	92
3.5.2	Регистр состояния стеков (SSTAT)	93
3.5.3	Регистр состояния режима (MSTAT)	94
3.6	УСЛОВНЫЕ КОМАНДЫ	96
3.7	Псевдорегистр TOPPCSTACK	97
3.7.1	Ограничения на использование псевдорегистра TOPPCSTACK	99
Глава 4. Передача данных		
4.1	ОБЗОР	101
4.2	ГЕНЕРАТОРЫ АДРЕСА ДАННЫХ	101
4.2.1	Регистры генератора адреса данных	101
4.2.2	Косвенная адресация	103
4.2.2.1	Инициализация регистров длины L для осуществления нециклической адресации	104
4.2.3	Адресация по модулю (циклические буферы)	104
4.2.4	Вычисление базового адреса	105
4.2.4.1	Базовый адрес циклического буфера. Пример 1	105
4.2.4.2	Базовый адрес циклического буфера. Пример 2	106
4.2.4.3	Работа циклического буфера. Пример 1	106
4.2.4.4	Работа циклического буфера. Пример 2	106
4.2.5	Битреверсная адресация	106
4.3	ПРОГРАММИРУЕМЫЙ ДОСТУП К ДАННЫМ	107
4.3.1	Переменные и массивы	107
4.3.2	Циклические буферы	109
4.4	УСТРОЙСТВО ОБМЕНА МЕЖДУ ШИНАМИ ДПП-ДПД	109
4.4.1	Блок-схема обмена ДПП-ДПД	110

СОДЕРЖАНИЕ

Глава 5.	Последовательные порты	
5.1	ОБЗОР	113
5.2	ОБЩЕЕ ОПИСАНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА	113
5.2.1	Прерывания	116
5.2.2	Работа последовательного порта	116
5.3	ПРОГРАММИРОВАНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА	117
5.3.1	Конфигурация последовательного порта	117
5.3.2	Прием и передача данных	119
5.4	АКТИВИЗАЦИЯ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА	120
5.5	ТАКОВЫЕ СИНХРОИМПУЛЬСЫ ПОСЛЕДОВАТЕЛЬНЫХ ПОРТОВ	121
5.6	ДЛИНА СЛОВА	122
5.7	ОПЦИИ ПОКАДРОВОЙ ПЕРЕДАЧИ СЛОВ	123
5.7.1	Кадровая синхронизация	123
5.7.2	Источник сигнала кадровой синхронизации	124
5.7.3	Нормальный и альтернативный режим кадровой синхронизации	126
5.7.4	Активный высокий или активный низкий уровень	127
5.8	ПРИМЕРЫ КОНФИГУРАЦИЙ	128
5.9	ПРИМЕРЫ ВРЕМЕННЫХ ХАРАКТЕРИСТИК	130
5.10	КОМПАНДИРОВАНИЕ И ФОРМАТ ДАННЫХ	136
5.10.1	Примеры операции компандирования	137
5.10.2	Конфликт аппаратных средств компандирования	138
5.10.3	Компандирование внутренних данных	138
5.11	АВТОБУФЕРИЗАЦИЯ	139
5.11.1	Регистр управления автобуферизацией	140
5.11.2	Пример автобуферизации	142
5.12	МНОГОКАНАЛЬНЫЕ ОПЕРАЦИИ	143
5.12.1	Установка многоканального режима работы	144
5.12.2	Работа в многоканальном режиме	145
5.13	СИНХРОНИЗАЦИЯ РАБОТЫ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА	147
5.13.1	Задержка компандирования	148
5.13.2	Задержка тактовой синхронизации	148
5.13.2.1	Задержка, связанная с началом работы последовательного порта	148
5.13.3	Временные характеристики сигналов кадровой синхронизации	148
5.13.4	Временные характеристики прерывания передачи	150
5.13.5	Временные характеристики прерывания приема	151
5.13.6	Синхронизация автобуферизации и прерываний	152
5.13.7	Задержки, связанные с ожиданием завершения выполнения команды	153

СОДЕРЖАНИЕ

5.13.8	Пример обслуживания прерывания и запроса автобуферизации	153
5.13.9	Задержка при компандировании принимаемых данных	154
5.13.10	Прерывания при разрешенной автобуферизации	156
5.13.11	Осложнения, возникающие в особых ситуациях	156
Глава 6. Таймер		
6.1	ОБЗОР	159
6.2	АРХИТЕКТУРА ТАЙМЕРА	159
6.3	РАЗРЕШАЮЩАЯ СПОСОБНОСТЬ	160
6.4	РАБОТА ТАЙМЕРА	161
Глава 7. Порт интерфейса хост-машины (ХИП)		
7.1	ОБЗОР	163
7.2	ВЫВОДЫ ХИП	164
7.3	ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ ХИП	166
7.4	РАБОТА ХИП	168
7.4.1	Операции с опросом	169
7.4.1.1	Синхронизация состояния ХИП	170
7.4.2	Операции, управляемые прерываниями	171
7.4.3	Режим перезаписи регистров HDR	172
7.4.4	Перезапуск программы	173
7.5	ПРЕРЫВАНИЯ ХИП	173
7.6	ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ ХИП	175
7.7	НАЧАЛЬНАЯ ЗАГРУЗКА ЧЕРЕЗ ХИП	180
Глава 8. Аналоговый интерфейс		
8.1	ОБЗОР	183
8.2	АНАЛОГО-ЦИФРОВОЕ ПРЕОБРАЗОВАНИЕ	184
8.2.1	Входной аналоговый усилитель	185
8.2.2	АЦП	185
8.2.2.1	Фильтры децимации	185
8.2.2.2	Фильтр высоких частот	187
8.3	ЦИФРО-АНАЛОГОВОЕ ПРЕОБРАЗОВАНИЕ	188
8.3.1	ЦАП	188
8.3.1.1	Фильтр высоких частот	188
8.3.1.2	Интерполяционный фильтр	189

СОДЕРЖАНИЕ

8.3.1.3	Аналоговый сглаживающий фильтр и усилитель с программируемым коэффициентом усиления	190
8.3.2	Дифференциальный выходной усилитель	190
8.4	УПРАВЛЕНИЕ АНАЛОГОВЫМ ИНТЕРФЕЙСОМ	190
8.4.1	Регистры управления, отображенные в карте памяти	191
8.4.1.1	Регистр управления аналоговым интерфейсом	191
8.4.1.2	Регистр автобуферизации/пониженной мощности	192
8.4.2	Регистры данных, отображенные в карте памяти	193
8.4.3	Прерывания АЦП и ЦАП	193
8.4.3.1	Автобуферизация не разрешена	194
8.4.3.2	Автобуферизация разрешена	194
8.5	ПРОЕКТИРОВАНИЕ СХЕМЫ АНАЛОГОВОГО ИНТЕРФЕЙСА	198
8.5.1	Вход аналогового сигнала	198
8.5.2	Выход аналогового сигнала	200
8.5.3	Емкость фильтра источника опорного напряжения	201
Глава 9. Интерфейс системы		
9.1	ОБЗОР	203
9.2	СИГНАЛЫ ТАКТОВОЙ СИНХРОНИЗАЦИИ	203
9.2.1	Задержка синхронизации	205
9.2.2	Формирование внутренних синхроимпульсов	205
9.3	СИГНАЛ ПЕРЕЗАПУСКА	206
9.4	ВЫПОЛНЕНИЕ ПОВТОРНОЙ НАЧАЛЬНОЙ ЗАГРУЗКИ С ПОМОЩЬЮ ПРОГРАММНЫХ СРЕДСТВ	207
9.4.1	Состояние регистров процессора ADSP-2181 во время загрузки через порт BDMA	225
9.5	ВНЕШНИЕ ПРЕРЫВАНИЯ	225
9.5.1	Запуск прерываний	227
9.6	ВЫВОДЫ ФЛАГОВ	228
9.7	РЕЖИМ ПОНИЖЕННОЙ ПОТРЕБЛЯЕМОЙ МОЩНОСТИ	230
9.7.1	Управление понижением мощности	231
9.7.2	Вхождение в состояние пониженной мощности	231
9.7.3	Выход из состояния пониженной мощности	232
9.7.3.1	Выход из режима пониженной мощности с использованием вывода <u>PW D</u>	233
9.7.3.2	Выход из режима пониженной мощности с использованием вывода <u>RESET</u>	234

СОДЕРЖАНИЕ

9.7.4	Время запуска после нахождения процессора в состоянии пониженной мощности	234
9.7.4.1	Системы, в которых используется внешняя ТТЛ-схема/тактовый генератор КМОП	234
9.7.4.2	Системы, в которых используется внешний кварцевый резонатор и внутренний генератор процессора	235
9.7.5	Работа процессора в режиме пониженной мощности	237
9.7.5.1	Прерывания и флаги	237
9.7.5.2	Последовательные порты	237
9.7.5.3	Работа ХИП в режиме пониженной мощности	238
9.7.5.4	Внутренний порт прямого доступа к памяти (IDMA) в режиме пониженной мощности (ADSP-2181)	239
9.7.5.5	Порт прямого побайтового доступа к памяти (BDMA) в режиме пониженной мощности (ADSP-2181)	240
9.7.5.6	Аналоговый интерфейс (ADSP-21msp5x)	240
9.7.6	Условия, при которых потребление энергии минимально	241
9.7.7	Вывод PWDACK	245
9.7.8	Использование режима пониженной потребляемой мощности в качестве немаскируемого прерывания	246
Глава 10. Интерфейс памяти		
10.1	ОБЗОР	247
10.2	ИНТЕРФЕЙС ПАМЯТИ ПРОГРАММЫ	249
10.2.1	Запись/считывание внешней памяти программы	249
10.2.2	Конфигурации памяти программы	251
10.2.3	Конфигурации ПЗУ программы	252
10.3	ИНТЕРФЕЙС ПАМЯТИ ДАННЫХ	255
10.3.1	Запись/считывание памяти данных	256
10.3.2	Конфигурации памяти данных	256
10.4	ИНТЕРФЕЙС НАЧАЛЬНОЙ ЗАГРУЗКИ ПАМЯТИ	259
10.4.1	Загрузка страниц	260
10.4.2	Начальная загрузка при подаче питания и перезагрузка программы	261
10.4.3	Доступ к памяти начальной загрузки	262
10.4.4	Процедура начальной загрузки	262
10.5	ЗАПРОС/ПРЕДОСТАВЛЕНИЕ ШИНЫ	265
10.6	ИНТЕРФЕЙСЫ ПАМЯТИ ПРОЦЕССОРА ADSP-2181	267
10.6.1	Интерфейс памяти программы процессора ADSP-2181	270

СОДЕРЖАНИЕ

10.6.2	Интерфейс памяти данных процессора ADSP-2181	273
10.6.3	Интерфейс памяти с байтовой организацией процессора ADSP-2181	275
10.6.4	Область памяти ввода/вывода процессора ADSP-2181	276
10.6.5	Выбор составной памяти процессора ADSP-2181	278
10.6.6	Считывание из внешней памяти - оверлейная память и память ввода/вывода	279
10.6.7	Запись во внешнюю память - оверлейная память и память ввода/вывода	280
10.7	ЗАКЛЮЧЕНИЕ	281
Глава 11. Порты прямого доступа к памяти		
11.1	ОБЗОР	283
11.2	ПОРТ ПРЯМОГО ПОБАЙТОВОГО ДОСТУПА К ПАМЯТИ (BDMA)	283
11.2.1	Функциональное описание порта BDMA	285
11.2.2	Регистры управления порта BDMA	286
11.2.3	Форматы хранения данных в памяти с байтовой организацией	289
11.2.4	Загрузка через порт прямого побайтового доступа к памяти	290
11.2.4.1	Применение программных средств отладки для загрузки через порт BDMA	292
11.3	Порт прямого доступа к внутренней памяти (IDMA)	293
11.3.1	Выводы порта IDMA	293
11.3.2	Функциональное описание порта IDMA	295
11.3.3	Модификация регистров управления через порт IDMA	297
11.3.4	Временные характеристики работы порта IDMA	298
11.3.4.1	Цикл фиксации адреса	298
11.3.4.2	Долгий цикл чтения через порт IDMA	299
11.3.4.3	Короткий цикл чтения через порт IDMA	301
11.3.4.4	Долгий цикл записи через порт IDMA	303
11.3.4.5	Короткий цикл записи через порт IDMA	304
11.3.5	Начальная загрузка через порт IDMA	306
11.3.6	"Украденные" циклы, приостановление обращения к памяти и сигнал $\overline{\text{TACK}}$	306
Глава 12. Программирование		
12.1	ОБЗОР	309
12.1.1	Регистры генераторов адреса данных	311

СОДЕРЖАНИЕ

12.1.1.1	Всегда инициализируйте регистры длины L	311
12.1.2	Регистры программного автомата	312
12.1.2.1	Прерывания	312
12.1.2.2	Счетчики циклов	312
12.1.2.3	Биты состояния и режима	313
12.1.2.4	Стеки	313
12.1.3	Регистры вычислительных устройств	314
12.1.4	Регистр обмена данными между шинами	315
12.1.5	Регистры таймера	315
12.1.6	Регистры последовательных портов	315
12.1.7	Интерфейс памяти и активизация последовательных портов	316
12.1.8	Регистры интерфейса хост-машины	316
12.1.9	Регистры аналогового интерфейса	317
12.2	ПРИМЕР ПРОГРАММЫ	317
12.2.1	Подпрограмма установки	320
12.2.2	Подпрограмма обслуживания прерывания	322
Глава 13. Дополнительное аппаратное обеспечение		
13.1	ОБЗОР	325
13.2	НАЧАЛЬНАЯ ЗАГРУЗКА ЧЕРЕЗ ХОСТ-МАШИНУ С ИСПОЛЬЗОВАНИЕМ ПРОЦЕДУР ЗАПРОСА И ПРЕДОСТАВЛЕНИЯ ШИНЫ	325
13.3	СОПРЯЖЕНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА С КОДЕКОМ	328
13.4	СОПРЯЖЕНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА С ЦАП	330
13.5	СОПРЯЖЕНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА С АЦП	332
13.6	СОПРЯЖЕНИЕ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА С ДРУГИМ ПОСЛЕДОВАТЕЛЬНЫМ ПОРТОМ	334
13.7	СОПРЯЖЕНИЕ МИКРОКОМПЬЮТЕРА 80C51 С ПОРТОМ ИНТЕРФЕЙСА ХОСТ-МАШИНЫ	336
Глава 14. Программное обеспечение		
14.1	ОБЗОР	337
14.2	ПРОЦЕСС ОТЛАДКИ СИСТЕМЫ	338
14.3	ТРАНСВЕРСАЛЬНЫЙ КИХ ФИЛЬТР С ОДИНАРНОЙ ТОЧНОСТЬЮ	340
14.4	ПОСЛЕДОВАТЕЛЬНО ВКЛЮЧЕННЫЙ БИКВАДРАТНЫЙ БИХ ФИЛЬТР	342
14.5	АППРОКСИМАЦИЯ СИНУСА	344
14.6	УМНОЖЕНИЕ МАССИВОВ С ОДИНАРНОЙ ТОЧНОСТЬЮ	346

СОДЕРЖАНИЕ

14.7	БЫСТРОЕ ПРЕОБРАЗОВАНИЕ ФУРЬЕ (БПФ) С ПРОРЕЖИВАНИЕМ ПО АЛГОРИТМУ RADIX-2	347
14.7.1	Главный модуль	348
14.7.2	Подпрограмма БПФ с прореживанием	350
14.7.3	Подпрограмма инвертирования бит	355
14.7.4	Подпрограмма приведения данных к масштабу с блочной плавающей точкой	356
Глава 15. Набор команд		
15.1	СПИСОК КОМАНД	359
15.2	ОБЗОР	360
15.3	ТИПЫ КОМАНД И УСЛОВНЫЕ ОБОЗНАЧЕНИЯ	362
15.4	МНОГОФУНКЦИОНАЛЬНЫЕ КОМАНДЫ	363
15.4.1	Выполнение операций АЛУ/Умножителя с одновременным считыванием из памяти данных и памяти программы	363
15.4.2	Одновременное считывание из памяти данных и памяти программы	365
15.4.3	Выполнение вычислений с одновременным считыванием из памяти	365
15.4.4	Выполнение вычислений с одновременной записью данных в память	366
15.4.5	Выполнение вычислений с одновременной пересылкой данных между регистрами	366
15.5	КОМАНДЫ АЛУ, УМНОЖИТЕЛЯ-НАКОПИТЕЛЯ И УСТРОЙСТВА СДВИГА	369
15.5.1	Группа команд АЛУ	369
15.5.2	Группа команд умножителя-накопителя	370
15.5.3	Группа команд устройства сдвига	371
15.6	ПЕРЕСЫЛКА ДАННЫХ: СЧИТЫВАНИЕ И ЗАПИСЬ	373
15.7	КОМАНДЫ УПРАВЛЕНИЯ ПОСЛЕДОВАТЕЛЬНОСТЬЮ ВЫПОЛНЕНИЯ ПРОГРАММЫ	374
15.8	ДРУГИЕ КОМАНДЫ	376
15.9	ВРЕМЯ ЦИКЛА	378
15.9.1	Многократное обращение к внешней памяти	378
15.9.2	Состояния ожидания	378
15.9.3	Автобуферизация последовательного порта и прямой доступ к данным	379

СОДЕРЖАНИЕ

15.10	СИНТАКСИС КОМАНД	379
15.10.1	Пунктуация и многофункциональные команды	379
15.10.2	Обозначения, принятые в синтаксисе процессоров семейства ADSP-2100	380
15.10.3	Обозначения, принятые для регистров состояния	380
Команды АЛУ		
	Сложение/сложение с переносом	381
	Вычитание X - Y/вычитание X - Y с заемом	383
	Вычитание Y - X/вычитание Y - X с заемом	385
	И/ИЛИ/исключающее ИЛИ	387
	Проверка бита, установка бита, сброс бита, переключение бита (Только ADSP-217x, ADSP-218x, ADSP-21msp58/59)	389
	Команда PASS/Сброс	391
	Отрицание	393
	Команда NOT	394
	Нахождение абсолютного значения	395
	Инкремент	396
	Декремент	397
	Деление	398
	Генерирование состояния АЛУ	400
Команды умножителя-накопителя		
	Умножение	401
	Умножение с накоплением	403
	Умножение с вычитанием	405
	Сброс (Clear)	407
	Пересылка данных регистра MR	408
	Насыщение регистра MR по условию	409
Команды устройства сдвига		
	Арифметический сдвиг	410
	Логический сдвиг	412
	Нормализация	414
	Нахождение порядка	416
	Нахождение блочного порядка	418
	Непосредственный арифметический сдвиг	420
	Непосредственный логический сдвиг	422

СОДЕРЖАНИЕ

Команды пересылки	
Пересылка данных между регистрами	424
Непосредственная загрузка регистра	426
Считывание из памяти данных (прямая адресация)	428
Считывание из памяти данных (косвенная адресация)	429
Считывание из памяти программы (косвенная адресация)	430
Запись в память данных (прямая адресация)	431
Запись в память данных (косвенная адресация)	432
Запись в память программы (косвенная адресация)	434
Считывание/запись в область ввода/вывода (только для ADSP-218x)	435
Команды управления последовательностью выполнения программы	
Переход (JUMP)	436
Вызов (CALL)	437
Переход или вызов в соответствии с состоянием вывода "Flag In"	438
Управление состоянием вывода "Flag Out"	439
Возвращение из подпрограммы (RTS)	440
Возвращение из подпрограммы обслуживания прерывания (RTI)	441
Команда организации цикла DO UNTIL	442
Ожидание (IDLE)	444
Прочие команды	
Управление стеками	446
Управление режимом	450
Модификация адреса	452
Команда NOP (нет операций)	453
Разрешение/блокирование прерываний (Только ADSP-217x, ADSP-218x, ADSP-21msp58/59)	454
Многофункциональные команды	
Вычисление с одновременным считыванием из памяти	455
Вычисление с одновременной пересылкой данных между регистрами	459
Вычисление с одновременной записью в память	462
Одновременное считывание из памяти данных и памяти программы	465
Выполнение операций АЛУ/умножителя-накопителя с одновременным считыванием из памяти данных и памяти программы	466

СОДЕРЖАНИЕ

Приложение А. Коды команд

A.1	КОДЫ ОПЕРАЦИЙ	469
A.2	КОДЫ СОКРАЩЕННЫХ ОБОЗНАЧЕНИЙ ОПЕРАЦИЙ	474

Приложение В. Исключения при делении

B.1	ОСНОВНЫЕ ПРАВИЛА ДЕЛЕНИЯ	483
B.1.1	Деление знаковых чисел	483
B.1.2	Деление беззнаковых чисел	484
B.1.3	Форматы выходного результата	484
B.1.4	Деление целых чисел	485
B.2	УСЛОВИЯ ВОЗНИКНОВЕНИЯ ОШИБОК	486
B.2.1	Ошибка при отрицательном делителе	486
B.2.2	Ошибка при делении беззнаковых чисел	487
B.3	ПРОГРАММНОЕ РАЗРЕШЕНИЕ ТРУДНОСТЕЙ, ВОЗНИКАЮЩИХ ПРИ ДЕЛЕНИИ	487

Приложение С. Форматы представления чисел

C.1	ОБЗОР	493
C.2	БЕЗЗНАКОВЫЙ ИЛИ ЗНАКОВЫЙ ФОРМАТ: ДОПОЛНИТЕЛЬНЫЙ КОД	493
C.3	ЦЕЛЫЕ ИЛИ ДРОБНЫЕ ЧИСЛА	493
C.4	УМНОЖЕНИЕ ДВОИЧНЫХ ЧИСЕЛ	495
C.5	ФОРМАТ С БЛОЧНОЙ ПЛАВАЮЩЕЙ ТОЧКОЙ	497

Приложение D. Адреса векторов прерывания

D.1	АДРЕСА ВЕКТОРОВ ПРЕРЫВАНИЯ	499
-----	----------------------------	-----

Приложение E. Регистры управления/состояния

E.1	ОБЗОР	503
-----	-------	-----

СОДЕРЖАНИЕ